

Spis treści

1.	Wprowadzenie	4
2.	Hierarchia przepływności binarnych sygnałów systemów cyfrowych.....	5
3.	Charakterystyki techniczne interfejsów hierarchii cyfrowej	8
3.1	Informacje wstępne	8
3.2	Interfejs 64 kbit/s.....	8
3.2.1	Wymagania funkcjonalne.....	8
3.2.2	Typy interfejsów.....	8
3.2.3	Charakterystyki elektryczne	9
3.3	Interfejs 2048 kbit/s.....	16
3.4	Interfejs 8448 kbit/s.....	19
3.5	Interfejs 34 368 kbit/s.....	20
3.6	Interfejs 139 264 kbit/s.....	22
3.7	Interfejs sygnału zegara 2048 kHz.....	25
3.8	Wymagania na ochronę przeciwprzebiegową.....	27
4.	Struktury ramek pierwszego i drugiego poziomu zwielokrotnienia.....	29
4.1	Podstawowe struktury ramek.....	29
4.1.1	Ramka 2048 kbit/s	29
4.1.2	Procedura CRC-4	30
4.1.3	Struktura ramki 8448 kbit/s	31
4.2	Struktury ramek kanałów o różnych przepływnościach w strumieniu 2048 kbit/s.....	32
4.2.1	Transfer kanałów 64 kbit/s.....	32
4.2.2	Transfer kanałów $n \times 64$ kbit/s	32
4.3	Struktury ramek kanałów o różnych przepływnościach w strumieniu 8448 kbit/s.....	33
4.3.1	Transfer kanałów 64 kbit/s.....	33
4.3.2	Procedura CRC-6	34
4.3.3	Transfer kanałów innych niż 64 kbit/s.....	35
5.	Zakończenia łączy cyfrowych w węzłach komutacyjnych	36
5.1	Informacje wstępne	36
5.2	Terminale cyfrowych ścieżek transmisyjnych 2048 i 8448 kbit/s	36
6.	Procedury synchronizacji ramki i wyznaczania wartości CRC.....	37
6.1	Podstawowe informacje o wykorzystaniu procedur CRC	37
6.2	Synchronizacja ramki oraz procedury CRC interfejsu 2048 kbit/s	37
6.3	Synchronizacja ramki oraz procedury CRC interfejsu 8448 kbit/s	39
7.	Strumień grupowy PCM 2048 kbit/s	40
7.1	Charakterystyki wyposażenia multipleksacji grupy pierwotnej	40
7.1.1	Informacje podstawowe	40

7.1.2	Sygnalizacja.....	42
7.1.3	Interfejsy	44
7.1.4	Jitter	44
7.2	Cyfrowa multipleksacja synchroniczna	44
7.2.1	Informacje podstawowe	44
7.2.2	Synchronizacja ramki oraz procedury CRC.....	44
7.2.3	Stany awaryjne oraz działania interwencyjne	45
7.2.4	Interfejsy	46
7.2.5	Jitter	47
8.	Strumień grupowy 8448 kbit/s.....	50
8.1	Sygnały podrzędne i wynikowe.....	50
8.1.1	Informacje podstawowe	50
8.1.2	Utrata i odzyskiwanie synchronizacji ramki	52
8.1.3	Metoda multipleksacji	52
8.1.4	Jitter	52
8.1.5	Interfejsy cyfrowe.....	53
8.1.6	Pola informacji służbowej	53
8.1.7	Stany awaryjne oraz działania interwencyjne	53
8.1.8	Wymagania czasowe.....	54
8.2	Charakterystyki wyposażenia multipleksacji strumienia 8448 kbit/s.....	54
8.2.1	Informacje podstawowe	54
8.2.2	Utrata i odzyskiwanie synchronizacji ramki	55
8.2.3	Stany awaryjne oraz działania interwencyjne	55
8.2.4	Sygnalizacja.....	57
8.2.5	Interfejsy	58
8.2.6	Jitter	58
9.	Strumienie grupowe trzeciego i czwartego rzędu zwielokrotnienia.....	59
9.1	Informacje podstawowe	59
9.2	Multipleksacja sygnałów 8448 kbit/s	59
9.2.1	Utrata i odzyskiwanie synchronizacji ramki	60
9.2.2	Metoda multipleksacji	60
9.2.3	Pola informacji służbowej	61
9.3	Multipleksacja sygnałów 34 368 kbit/s	61
9.3.1	Utrata i odzyskiwanie synchronizacji ramki	61
9.3.2	Metoda multipleksacji	62
9.3.3	Pola informacji służbowej	62
9.4	Multipleksacja sygnałów 8448 kbit/s w strumień 34 368 kbit/s	62
9.4.1	Szybkość transmisji i struktura ramki.....	62

9.4.2	Interfejsy cyfrowe	62
9.4.3	Jitter	62
9.4.4	Stany awaryjne oraz działania interwencyjne	63
9.4.5	Wymagania czasowe	64
9.5	Multipleksacja sygnałów 34 368 kbit/s w strumień 139 264 kbit/s	64
9.5.1	Szybkość transmisji i struktura ramki	64
9.5.2	Interfejsy cyfrowe	64
9.5.3	Jitter	65
9.5.4	Stany awaryjne oraz działania interwencyjne	65
9.5.5	Wymagania czasowe	66
9.6	Multipleksacja sygnałów 8448 kbit/s w strumień 139 264 kbit/s	66
9.6.1	Szybkość transmisji i struktura ramki	66
9.6.2	Interfejsy cyfrowe	67
9.6.3	Jitter	67
9.6.4	Stany awaryjne oraz działania interwencyjne	68
9.6.5	Wymagania czasowe	69
10.	Transmisja sygnałów SDH w sieciach PDH	71
10.1	Informacje wstępne	71
10.2	Struktury ramek	71
10.2.1	Ramka sygnału 34 368 kbit/s	71
10.2.2	Ramka sygnału 139 264 kbit/s	73
10.3	Struktury multipleksacji	75
10.3.1	Wstawianie elementów SDH do ramki 34 368 kbit/s	75
10.3.2	Wstawianie elementów SDH do ramki 139 264 kbit/s	76

1. Wprowadzenie

Rozległe sieci telekomunikacyjne stanowią jeden z największych fenomenów XX wieku. Wielu ludzi pamięta jeszcze pojawienie się pierwszych telefonów, a obecne pokolenie będzie zapewne opowiadać swoim wnukom o czasach, kiedy trzeba się było obywać bez Internetu. Jednak pierwsze cyfrowe sieci o zasięgu krajowym pojawiły się nie w tym stuleciu, lecz prawie dwa wieki temu. Długo przedtem, zanim wprowadzono telegraf elektryczny, wiele państw europejskich dysponowało w pełni funkcjonalnymi optycznymi sieciami telekomunikacyjnymi składającymi się z setek stacji.

Dwa pierwsze systemy tego typu zbudowali niezależnie w latach dziewięćdziesiątych XVIII wieku francuski duchowny Claude Chappe i szwedzki szlachcic Abraham Niclas Edelcrantz. Ich zapał w planowaniu i budowie telegrafu nie był niczym nadzwyczajnym: już od czasów antycznych niezliczone rzesze mniej lub bardziej poważnych badaczy usiłowały przesyłać wiadomości na dużą odległość. Chappe'owi i Edelcrantzowi udało się jednak osiągnąć sukces w dziedzinie, w której wielu ich poprzedników poniosło porażkę.

Za datę początkującą erę elektrycznej telekomunikacji cyfrowej uważa się 17 lutego 1753 roku, kiedy Christian Morrison przedstawił projekt pierwszego telegrafu przewodowego, natomiast w roku 1809 telegraf igielkowy (P. Szyling) rozpoczął elektryczną erę współczesnej telekomunikacji. Kontynuacja rewolucyjnych przemian nastąpiła w roku 1837 zapisał się w historii patentem Samuela Morse'a, uzyskanym na telegraf samopiszący - proste i praktyczne urządzenie umożliwiające zamianę ciągu impulsów prądowych na rząd zapisywanych na papierze kresek i kropek. Niedługo potem pojawiły się linie telegraficzne, łączące ze sobą miejscowości oddalone o dziesiątki kilometrów.

W roku 1877 uruchomiono linię telefoniczną Boston - Nowy Jork, w 1892 roku rozpoczęła pracę pierwsza automatyczna centrala telefoniczna, zaś liczba abonentów telefonicznych zaczęła gwałtownie rosnąć. Dwudziesty wiek przyniósł telegraf automatyczny, telekopię, radio, telewizję, transmisję danych i in. W rezultacie rosła liczba oferowanych usług, zwiększały się także odległości, na które zestawiano połączenia. Wzrost zasięgu transmisji sygnałów prowadził do ujawnienia się wielu niekorzystnych zjawisk, takich jak zaniki, zniekształcenia oraz zakłócenia uniemożliwiające poprawny odbiór, które były coraz trudniejsze do pogodzenia z rosnącymi wymaganiami jakościowymi abonentów.

Wszystkie te czynniki doprowadziły do wprowadzenia transmisji i komutacji sygnałów cyfrowych, co pozwoliło wyeliminować wpływ większości niekorzystnych zjawisk na jakość sygnału oraz umożliwiło integrację technik i usług, prowadząc tym samym do jednej wielofunkcyjnej sieci telekomunikacyjnej.

2. Hierarchia przepływności binarnych sygnałów systemów cyfrowych

Podstawową hierarchię przepływności binarnych sygnałów w łączach systemów cyfrowych określają zapisy G.702, przy czym zgodnie z definicją 4003 zawartą w zaleceniu G.701:

„Hierarchię cyfrową stanowią sygnały uzyskiwane poprzez multipleksację przebiegów niższego rzędu. Sygnały te mogą stanowić przedmiot kolejnych operacji zwielokrotnienia.”

W zaleceniu G.702 ITU (d.CCITT), wychodząc z założenia że:

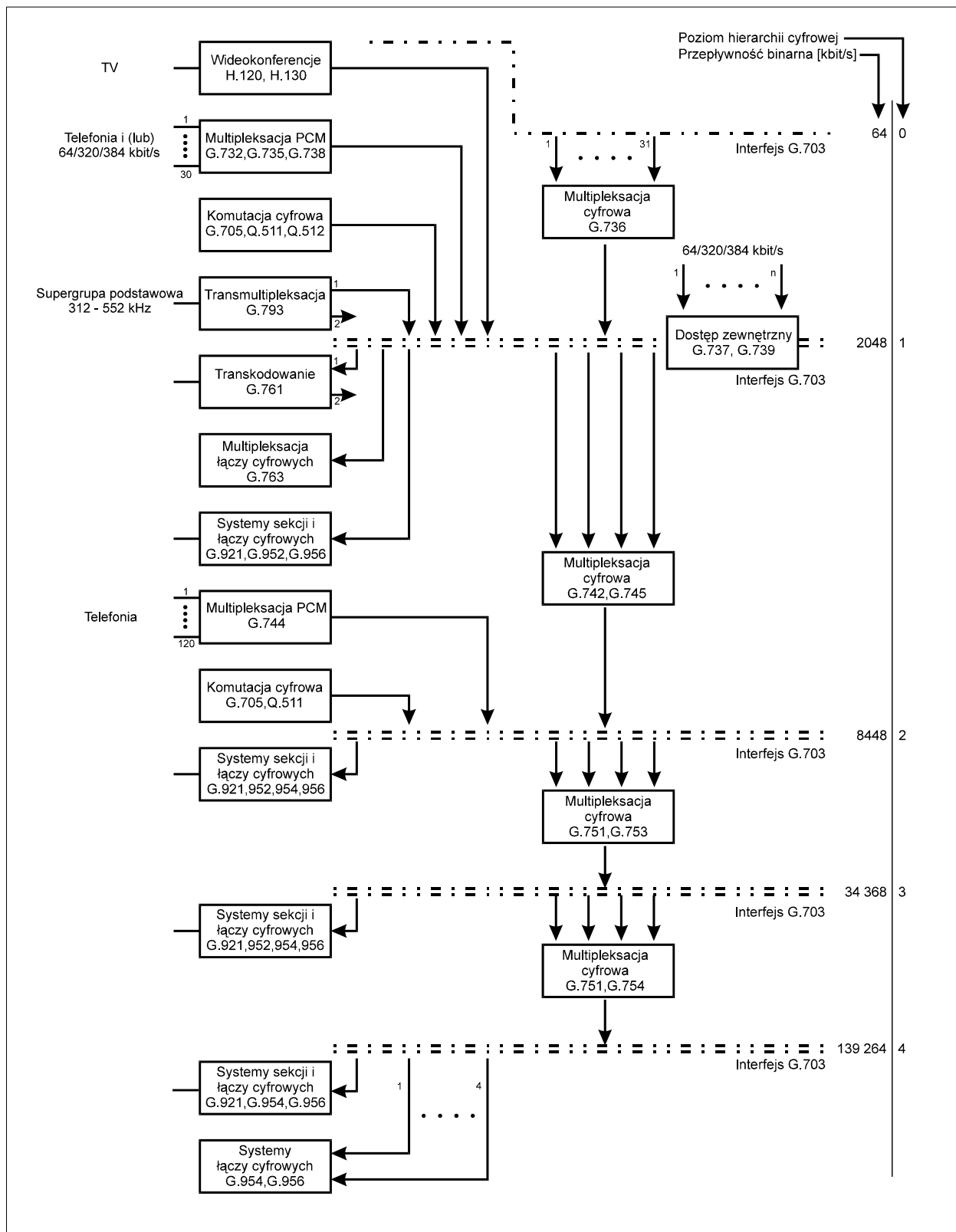
1. Przepływności binarne hierarchii cyfrowej są tymi, które są lub będą używane jako podstawa tworzenia wyższych poziomów transmisyjnych.
2. Specyfikacja przepływności jest niezbędna w celu zapobieżenia niekontrolowanemu wzrostowi liczby interfejsów wykorzystywanych w sieciach cyfrowych.
3. Połączenia domen operatorów narodowych powinny być realizowane łączami o ściśle zdefiniowanych parametrach transmisyjnych.
4. Określenie hierarchii cyfrowej wywiera wpływ na wiele aspektów nowoczesnej telekomunikacji takich jak zestaw realizowanych usług, media transmisyjne oraz technikę realizacji struktur sieciowych.

Zaleca do wykorzystania w systemach cyfrowych sygnały o następujących przepływnościach binarnych:

Poziom hierarchii cyfrowej	Przepływności łączy (kbit/s) w systemie o hierarchii bazującej na przepływności pierwszego rzędu	
	1544 kbit/s	2048 kbit/s
	64	64
1	1544	2 048
2	6312	8 448
3	32 064	44 736
4	97 728	139 264

Związki sygnałów należących do przyjętej hierarchii cyfrowej z zaleceniami określającymi interfejsy sieciowe, multipleksery oraz wyposażenie sekcji cyfrowych ilustruje schemat przedstawiony na rys. 3.1. Schemat ten nie zawiera odniesień do:

- elementów sieciowych (multiplekserów) funkcjonujących na styku systemów realizujących oddalone poziomy hierarchii cyfrowej;
- urządzeń przetwarzających sygnały o przepływnościach spoza zdefiniowanego zestawu.



Rys. 2.1. Hierarchia przepływności binarnych systemów z grupą podstawową 2048 kbit/s

W przypadkach wykorzystania do realizacji usług szerokopasmowych sieci ISDN przepływności binarne sygnałów powinny być zgodne z zapisami zaleceń serii I.200, natomiast w pozostałych przypadkach należy uwzględnić następujące czynniki wpływające na wartość przepływności użytkowej łączy cyfrowych:

- I. W systemach wykorzystujących na poziomie podstawowym łączy 1544 kbit/s, niektóre bity ramek są z definicji rezerwowane do realizacji zadań związanych z monitorowaniem jakości ścieżek

transmisyjnych, stanowiących zestaw sekcji cyfrowych połączonych w układzie tandemowym. Szczegółowy wykaz występujących w tym przypadku ograniczeń zawiera Tab. 3.1.

Tablica 3.1. Parametry sygnałów interfejsów cyfrowej hierarchii 1544 kbit/s.

Przepływność binarna (kbit/s)	Definicja struktury ramki	Zarezerwowane bity	Przepływność użytkowa (kbit/s)
1 544	G. 704	F a)	1 536
6 312 b)	Brak	Brak	6 312
6 312 c)	G.704	Bit F i bity szczelin 97 i 98	6 144
44 736	G.752	M_j d) oraz F_0, F_{11}, F_{12}	44 407 d)

- a) Wykorzystanie bitu F do celów innych niż ramkowanie jest przedmiotem studiów.
 b) W sieciach synchronicznych.
 c) W sieciach synchronicznych.
 d) Niektóre aplikacje wykorzystują bity C (C_{j1} , C_{j2} i C_{j3}). W takim przypadku przepływność użytkowa wynosi 44 209 kbit/s.

II. W przypadku sieci wykorzystujących hierarchię sygnałów grupy pierwotnej 2048 kbit/s nie występują ograniczenia uniemożliwiające usługowe wykorzystanie całego pasma ścieżki cyfrowej. Jednakże zalecane jest dostosowanie struktury ramki do postaci wynikającej z odpowiednich zaleceń, ponieważ oznacza to możliwość uzyskania istotnych korzyści, których zestaw obejmuje:

- możliwość wykorzystania tych samych elementów odtwarzania synchronizacji ramkowej przez aplikacje z komutacją kanałów i bazujące na łączach nie komutowanych;
- realizację monitoringu jakości transmisji, nawet w sytuacjach, gdy elementy utrzymaniowe punktów dostępu do usług nie znajdują się w gestii operatora;
- łatwość implementacji dodatkowych funkcji zarządzania, których niezbędność wynika bezpośrednio ze specyfiki realizowanej aplikacji usługowej.

Preferowanie kompatybilności z rekomendowanymi strukturami ramek transmisyjnych powinno mieć miejsce szczególnie w przypadkach aplikacji, dla których występuje wyraźny związek efektywności usługowej z właściwościami użytkowymi transmisyjnej ścieżki cyfrowej.

3. Charakterystyki techniczne interfejsów hierarchii cyfrowej

3.1 Informacje wstępne

Szczegółowa specyfikacja interfejsów jest niezbędna dla uzyskania możliwości łączeniowych poszczególnych elementów wyposażenia sieciowego, integrowanych w celu zestawienia łącza cyfrowego. Charakterystyki fizyczne i elektryczne interfejsów hierarchii cyfrowej zawiera zalecenie G.703.

3.2 Interfejs 64 kbit/s

3.2.1 Wymagania funkcjonalne

Zalecane jest aby implementacja interfejsu umożliwiała wymianę następujących przebiegów cyfrowych:

- sygnału danych o przepływności 64 kbit/s;
- zegara 64 kHz;
- zegara 8 kHz.

Dostępność sygnału danych o przepływności 64 kbit/s i zegara 64 kHz jest obowiązkowa, natomiast pomimo tego, że zegar 8 kHz musi być wytwarzany przez wyposażenie sterujące styku dla umożliwienia obsługi sygnałów PCM oraz dostępu do szczelin czasowych, jego obecność po stronie, która nie realizuje wymienionych zadań nie jest wymagana.

W przypadku wystąpienia zakłóceń w transmisji sygnału danych 64 kbit/s do sieciowych elementów podrzędnych powinno być przekazywane wskazanie alarmowe (*Alarm Indication Signal - AIS*).

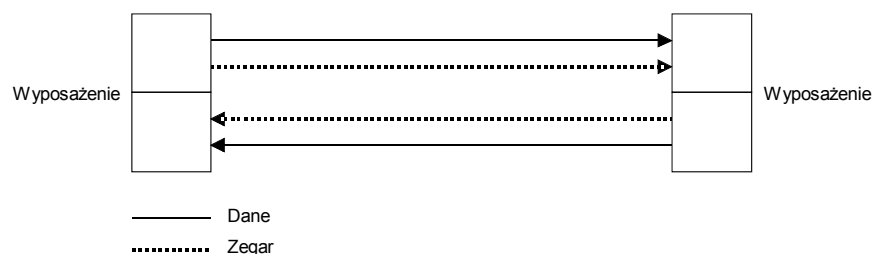
Interfejs powinien cechować się pełną przezroczystością dla dowolnych sekwencji bitowych sygnału danych 64 kbit/s, co jednak nie musi oznaczać możliwości globalnej realizacji pozbawionej ograniczeń ścieżki cyfrowej. Wynika to z faktu, że niektóre Administracje eksploatują i nadal prowadzą instalację elementów sieciowych, które nie pozwalają na transmitowanie dowolnie długich sekwencji bitów o wartości „0”. W szczególności wyposażenie części sieci cyfrowych 1544 kbit/s wymaga, aby w każdym bajcie sygnału 64 kbit/s występował przynajmniej jeden bit o wartości „1”. Podobnie, w strumieniach nie objętych synchronizacją bajtową nie powinno występować pod rząd więcej niż 7 bitów o wartości „0”.

Nawet w systemach cechujących się całkowitą przezroczystością bitową interfejsów występować mogą pewne ograniczenia związane z potrzebą generacji sygnału AIS składającego się z ciągłej sekwencji bitów o wartości „1”. Typowym przykładem jest problem związany z podobną postacią sygnału synchronizacji wstępnej łącza

3.2.2 Typy interfejsów

3.2.2.1 Interfejs współbieżny

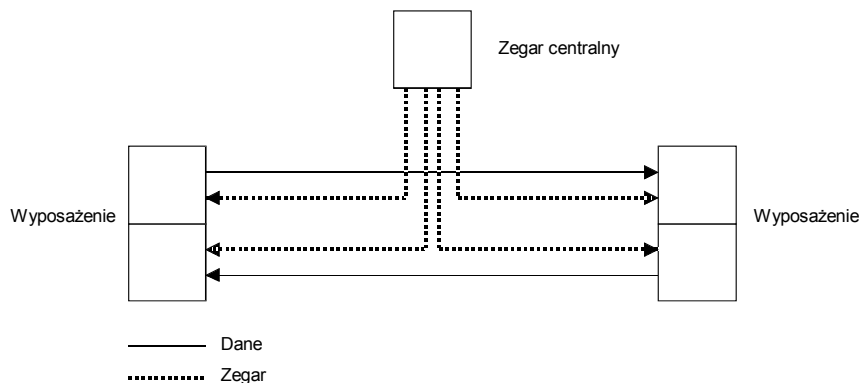
Termin „współbieżny” oznacza rozwiązanie, w którym dane użytkowe oraz sygnały zegarowe są przekazywane w tym samym kierunku, czyli zgodnie ze schematem przedstawionym na rys. 4.1.



Rys. 4.1. Interfejs współbieżny

3.2.2.2 Interfejs scentralizowany

Interfejs scentralizowany wykorzystuje jako przebiegi zegarowe sygnały dostarczane z wydzielonej jednostki systemowej, czyli zgodnie ze schematem przedstawionym na rys. 4.2.

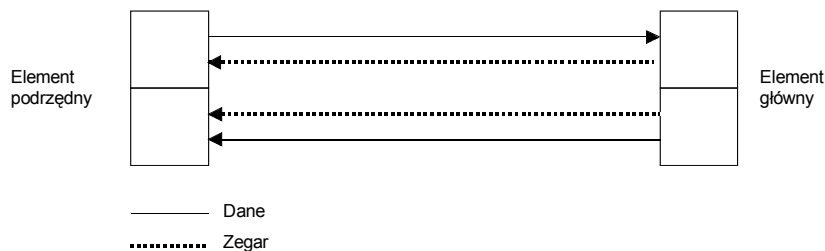


Rys. 4.2. Interfejs scentralizowany

Interfejsy współbieżne lub scentralizowane mogą być wykorzystywane w sieciach synchronicznych oraz plezjochronicznych, wyposażonych w zegary o stabilności (zalecenie G.811) zapewniającej odpowiedni odstęp między kolejnymi poślizgami.

3.2.2.3 Interfejs przeciwbieżny

Rozwiązanie to stosowane jest w przypadku synchronizowania procesów transmisyjnych w sieciowych elementach podrzędnych przez wyznaczone urządzenia wyższego szczebla hierarchii, czyli zgodnie ze schematem przedstawionym na rys. 4.3.



Rys.4.3. Interfejs przeciwbieżny

3.2.3 Charakterystyki elektryczne

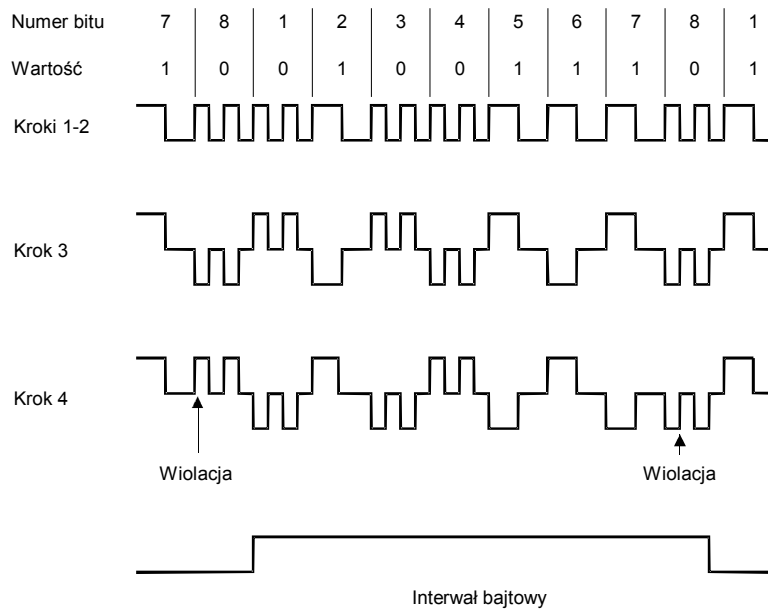
3.2.3.1 Interfejs współbieżny

Nominalna przepływność binarna wynosi 64 kbit/s, zaś jej wartość powinna być utrzymywana z dokładnością nie gorszą niż ± 100 ppm dzięki przebiegom zegarowym przekazywanym współbieżnie z sygnałami użytkowymi. Jako tor transmisyjny używane są pojedyncze zrównoważone pary kablowe, po jednej dla każdego kierunku przekazu, zalecana jest ponadto realizacja separacji galwanicznej przy użyciu transformatorów. Sposób realizacji zabezpieczeń przepięciowych przedstawia Dodatek B Zalecenia G.703.

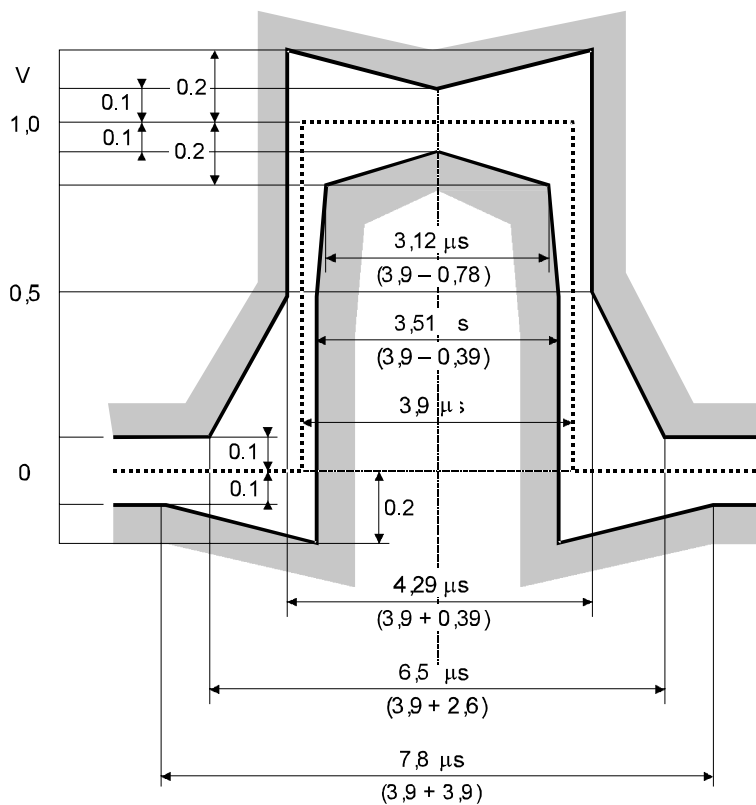
Liniowy kod transmisyjny tworzony jest w wyniku realizacji następujących działań:

1. Interwał bitowy sygnału 64 kbit/s jest dzielony na cztery odcinki jednostkowe;
2. Bit o wartości „1” jest przedstawiany w postaci ciągu 1100, zaś „0” jako 1010;
3. Sygnał jest przedstawiany w postaci trójpoziomowej poprzez zmiany polaryzacji kolejnych bloków;
4. Zmiany polaryzacji zostają zaburzone w co 8 bloku. Wiolacja wskazuje ostatni bit każdego bajtu.

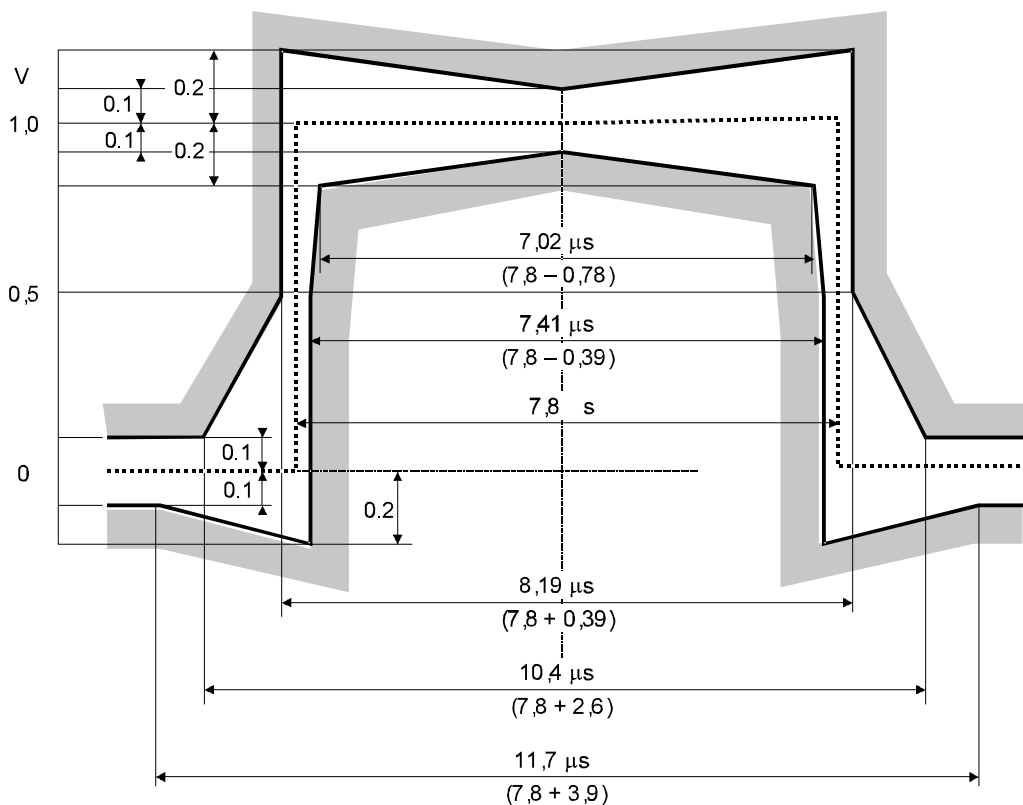
Realizację opisanych działań ilustruje poniższy rysunek



Rys. 4.4. Kodowanie liniowe



Rys.4.5. Maska pojedynczego impulsu na współbieżnym interfejsie 64 kbit/s



Rys.4.6. Maska podwójnego impulsu na współbieżnym interfejsie 64 kbit/s

Tablica 4.1. Parametry techniczne interfejsów wyjściowych 64 kbit/s

Przepływność symboliczna	256 kbodów
Kształt impulsu (nominalnie prostokątny)	Zgodny z maską (rys. 4.5 i 4.6)
Typ toru kablowego	Para przewodów symetrycznych
Testowa impedancja obciążenia	Rezystancja 120Ω
Nominalna szczytowa wartość napięcia impulsu	1.0 V
Szczytowa wartość napięcia przy braku impulsu	$0V \pm 0.10 \text{ V}$
Nominalna szerokość impulsu	3.9 ms
Stosunek amplitud impulsów dodatniego i ujemnego mierzonych w środku interwału	0.95 to 1.05
Stosunek szerokości impulsów dodatniego i ujemnego mierzonych w połowie wysokości	0.95 to 1.05
Maksymalny jitter międzyszczytowy na porcie wyjściowym (Uwaga)	Zgodnie z § 2 Zalecenia G.823

Uwaga – Obecnie wartość dotyczy tylko elementów systemowych hierarchii 2 Mbit/s.

Sygnal cyfrowy występujący na porcie wejściowym powinien cechować się wyżej wymienionymi właściwościami przy uwzględnieniu oddziaływania toru transmisyjnego, którego tłumienie dla częstotliwości 128 kHz może zawierać się w przedziale od 0 do 3 dB. Tłumienie zwrotne portu wejściowego powinno posiadać następujące wartości minimalne:

Zakres częstotliwości [kHz]	Tłumienie zwrotne [dB]
4 do 13	12
13 do 256	18
256 do 384	14

Odporność portu wejściowego na oddziaływanie interferencji powinna być sprawdzana przy wykorzystaniu zespolonego sygnału obejmującego przebiegi: użyteczny oraz zakłócający, których kształt powinien być zgodny z wymaganym wzorcem. Dodatkowo, sygnał interferencyjny powinien cechować się przepływnością w granicach wyznaczonych zapisami zalecenia, ale nie może być synchroniczny z sygnałem użytecznym

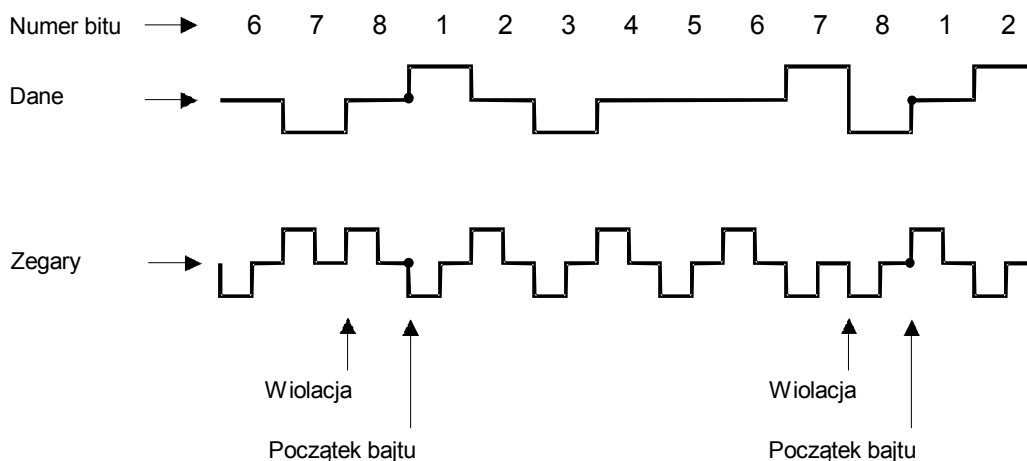
Obydwa przebiegi integruje się za pośrednictwem obwodu o średnich stratach równych 0 dB i nominalnej impedancji 120 Ω , tak by uzyskany przebieg wynikowy cechował się stosunkiem sygnał użyteczny/sygnał interferujący równym 20 dB. Zgodnie z zaleceniem O.152 zawartość sygnału zakłócającego powinna stanowić pseudolosowa sekwencja o okresie powtarzania $2^{11}-1$ interwałów bitowych. Pomimo wprowadzenia sygnału zakłócającego o podanych parametrach, w przekazie realizowanym za pośrednictwem łącza o maksymalnym dopuszczalnym tłumieniu nie powinny występować błędy transmisyjne.

Uwaga – Jeśli symetryczny tor kablowy posiada ekran, powinien być on połączony galwanicznie z potencjałem ziemi w porcie wyjściowym

3.2.3.2 Interfejs scentralizowany

Nominalna przepływność binarna sygnału użytkowego powinna wynosić 64 kbit/s, przy tolerancji określonej przez stabilność centralnego zegara systemu (G.811). Przekaz powinien być realizowany przy wykorzystaniu pojedynczej pary symetrycznej dla każdego kierunku transmisji. Dodatkową parę symetryczną przeznacza się do rozsyłania zespolonego przebiegu synchronizującego obejmującego sygnały 64 i 8 kHz. Zalecana jest ponadto realizacja separacji galwanicznej przy użyciu transformatorów. Sposób realizacji zabezpieczeń przepięciowych przedstawia Dodatek B Zalecenia G.703.

Kodem liniowym jest przebieg AMI z całkowitym (100%) wypełnieniem. Zespolony sygnał synchronizujący zawiera przebieg czasowy 64 kHz (kod AMI z wypełnieniem od 50 do 70%) oraz synchronizację bajtową (8 kHz) przekazywaną techniką zaburzania zasady kodowej. Strukturę sygnałów oraz ich relacje fazowe ilustruje poniższy rysunek:



Rys. 4.7. Kodowanie liniowe oraz przebiegi zegarowe

Jak wynika z przedstawionego schematu funkcjonalnego, stany znamienne zegara strumienia danych nadawanych przez port wyjściowy wyznaczają narastające zbocza impulsów przebiegu zegarowego, natomiast momenty rozeznawania bitów przez port wejściowy odpowiadają jego zboczom opadającym.

Tablica 4.2. Charakterystyki portu wyjściowego

Parametr	Dane	Zegary
Kształt impulsu	Nominalnie prostokątny z czasem narastania i spadku < 1 ms	Nominalnie prostokątny z czasem narastania i spadku < 1 ms
Testowa impedancja obciążenia	Rezystancja 110 Ω	Rezystancja 110 Ω
Szczytowa wartość napięcia impulsu (Uwaga 1)	a) 1.0 ± 0.1 V b) 3.4 ± 0.5 V	a) 1.0 ± 0.1 V b) 3.0 ± 0.5 V
Szczytowa wartość napięcia przy braku impulsu (Uwaga 1)	a) 0 ± 0.1 V b) 0 ± 0.5 V	a) 0 ± 0.1 V b) 0 ± 0.5 V
Nominalna szerokość impulsu (Uwaga 1)	a) 15.6 ms b) 15.6 ms	a) 7.8 ms b) 9.8 to 10.9 ms
Maksymalny jitter międzyszczytowy na porcie wyjściowym (Uwaga 2)	Zgodnie z § 2 Zalecenia G.823	

Uwaga 1 – Wybór parametrów pomiędzy zestawem a) i b) umożliwia różnicowanie poziomu zakłóceń stosownie do długości połączeń pomiędzy urządzeniami.

Uwaga 2 – Obecnie wartość dotyczy tylko elementów systemowych hierarchii 2 Mbit/s.

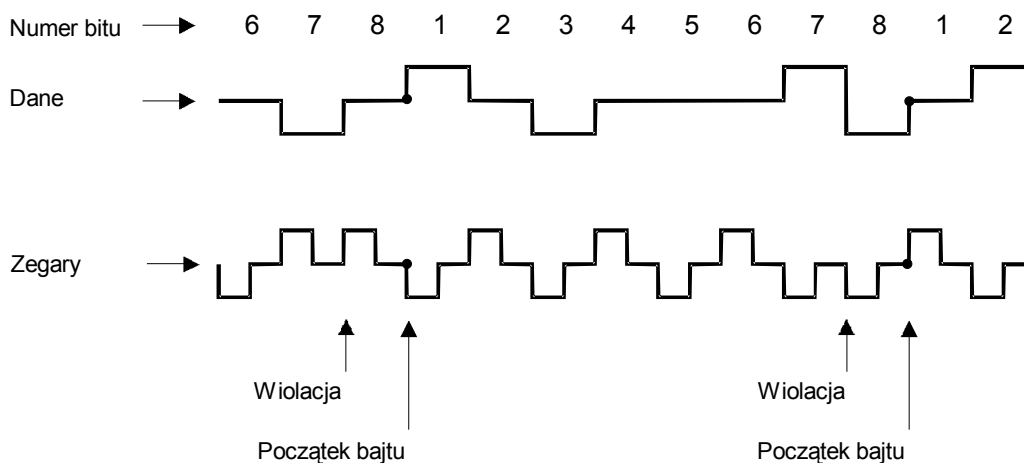
Sygnal cyfrowy występujący na porcie wejściowym powinien cechować się wyżej wymienionymi właściwościami przy uwzględnieniu oddziaływania toru transmisyjnego, którego szczegółowa specyfikacja stanowi obecnie przedmiot intensywnych studiów. Wybór parametrów zgodnie z zawartym w Tab. 4.2. wykazem pozwala uzyskiwać typowo zasięgi od 350 do 450 m.

3.2.3.3 Interfejs przeciwbieżny

Nominalna przepływność binarna wynosi 64 kbit/s, zaś jej wartość powinna być utrzymywana z dokładnością nie gorszą niż ± 100 ppm. Jako tor transmisyjny używane są pojedyncze zrównoważone pary kablowe, po jednej dla każdego kierunku przekazu. Dodatkowa para wykorzystywane są do prowadzenia sygnałów zegarowych (64 kHz i 8 kHz). Zalecana jest ponadto realizacja separacji galwanicznej przy użyciu transformatorów, natomiast sposób realizacji zabezpieczeń przepięciowych powinien być zgodny z dodatkiem B Zalecenia G.703.

Uwaga - Jeżeli lokalnie wymagane jest oddzielnie przekazywanie sygnałów alarmowych, ich transmisja może być realizowana poprzez przejęcie mechanizmu wykorzystywanego do tworzenia synchronizacji bajtowej.

Kodem liniowym jest przebieg AMI z całkowitym (100%) wypełnieniem. Zespolony sygnał synchronizujący zawiera przebieg czasowy 64 kHz (kod AMI z wypełnieniem 50%) oraz synchronizację bajtową (8 kHz) przekazywaną techniką zaburzania zasady kodowej. Strukturę sygnałów oraz ich relacje fazowe ilustruje poniższy rysunek:



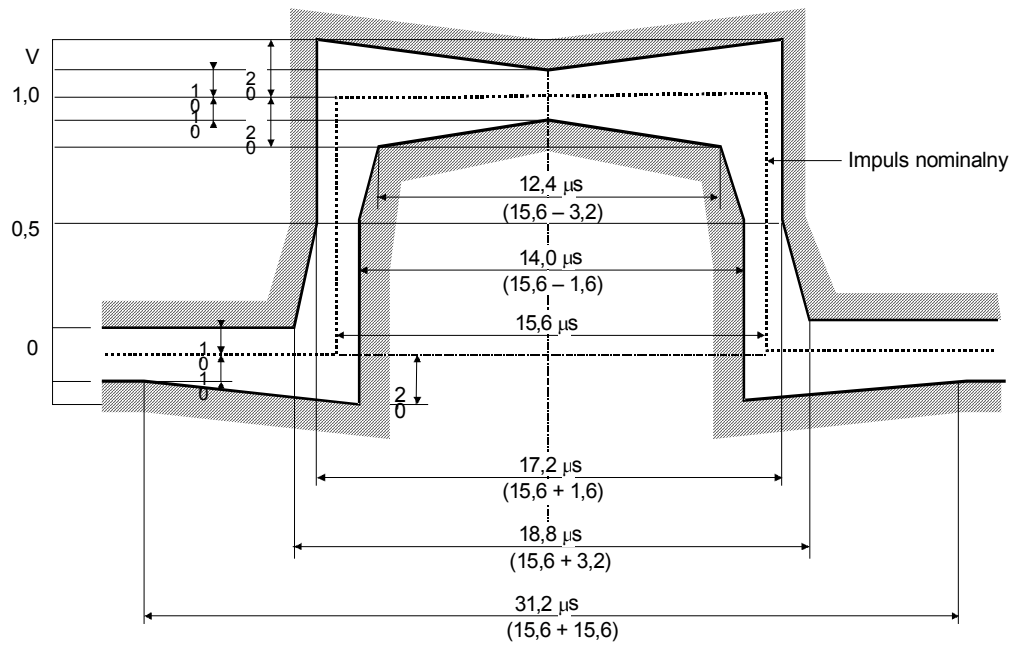
Rys. 4.8. Kodowanie liniowe oraz przebiegi zegarowe

Impulsy danych odbierane na usługowym porcie interfejsu mogą być opóźnione w stosunku do przebiegów zegarowych, dlatego dopuszcza się rozeznawanie danych na wprowadzeniach liniowych w chwilach wyznaczanych przez narastające zbocze kolejnego impulsu zegarowego.

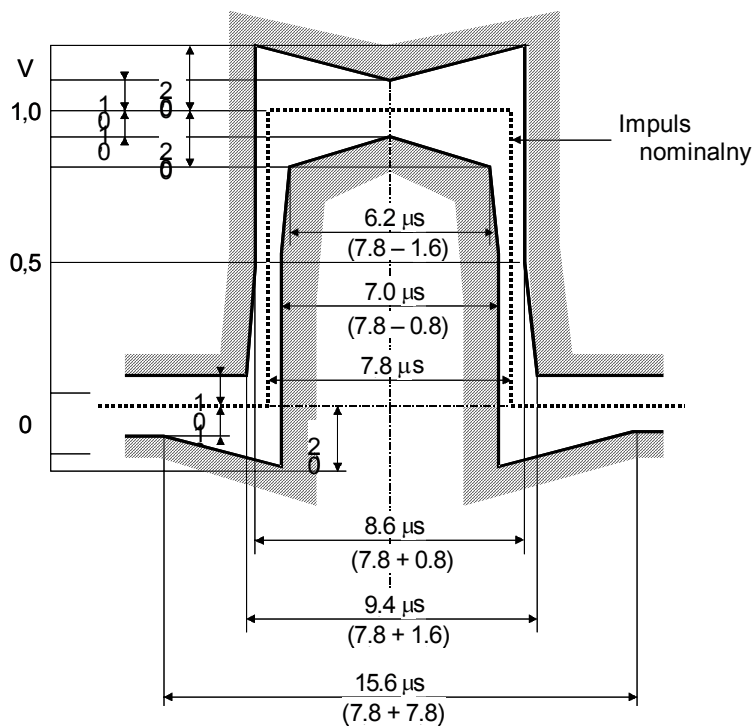
Tablica 4.3. Charakterystyki portu wyjściowego

Parametr	Dane	Zegary
Kształt impulsu (nominalnie prostokątny)	Zgodnie z maską wzorcową (rys x.x)	Zgodnie z maską wzorcową (rys 4.9 i 4.10)
Tor transmisyjny	Para symetryczna	Para symetryczna
Testowa impedancja obciążenia	Rezystancja 120 Ω	Rezystancja 120 Ω
Szczytowa wartość napięcia impulsu	1.0 V	1.0 V
Szczytowa wartość napięcia przy braku impulsu	0 V ± 0.1 V	0 V ± 0.1 V
Nominalna szerokość impulsu	15.6 ms	7.8 ms
Stosunek amplitud impulsów dodatniego i ujemnego mierzonych w środku interwału	0.95 to 1.05	0.95 to 1.05
Stosunek szerokości impulsów dodatniego i ujemnego mierzonych w połowie wysokości	0.95 to 1.05	0.95 to 1.05
Maksymalny jitter międzyszczytowy na porcie wyjściowym (Uwaga)	Zgodnie z § 2 Zalecenia G.823	

Uwaga – Obecnie wartość dotyczy tylko elementów systemowych hierarchii 2 Mbit/s.



Rys.4.9. Maska impulsu sygnału danych uzytkowych



Rys. 4.10. Maska impulsu zegarowego

Sygnal cyfrowy występujący na porcie wejściowym powinien cechować się wymienionymi właściwościami po uwzględnieniu oddziaływania toru transmisyjnego, którego tłumienie dla częstotliwości 32 kHz może zawierać się w przedziale od 0 do 3 dB. Tłumienie zwrotne portu wejściowego powinno posiadać następujące wartości minimalne:

Zakres częstotliwości (kHz)		Tłumienie zwrotne (dB)
Dane	Zegary	
61.6 do 63.2	123.2 do 126.4	12
63.2 do 64.2	126.4 do 128,4	18
64,2 do 96,2	128,4 do 192,4	14

Odporność portu wejściowego na oddziaływanie interferencji powinna być sprawdzana przy wykorzystaniu zespolonego sygnału obejmującego przebiegi: przeciwbieżny użyteczny oraz zakłócający, których kształt powinien być zgodny z wymaganym wzorcem. Dodatkowo, sygnał interferencyjny powinien cechować się przepływnością w granicach wyznaczonych zapisami zalecenia, ale nie może być synchroniczny z sygnałem użytecznym

Obydwa przebiegi integruje się za pośrednictwem obwodu o średnich stratach równych 0 dB i nominalnej impedancji 120 Ω , tak by uzyskany przebieg wynikowy cechował się stosunkiem sygnał użyteczny/sygnał interferujący równym 20 dB. Zgodnie z zaleceniem O.152 zawartość sygnału zakłócającego powinna stanowić pseudolosowa sekwencja o okresie powtarzania $2^{11}-1$ interwałów bitowych. Pomimo wprowadzenia sygnału zakłócającego o podanych parametrach, w przekazie realizowanym za pośrednictwem łącza o maksymalnym dopuszczalnym tłumieniu nie powinny występować błędy transmisyjne.

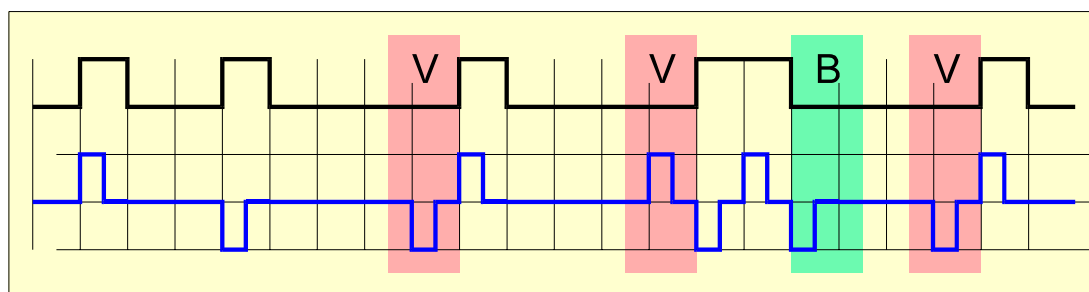
Uwaga 1 Wymagane wartości tłumienia zwrotnego dotyczą zarówno sygnału danych jaki i zespolonego przebiegu zegarowego

Uwaga 2 Jeśli symetryczny tor kablowy posiada ekran, powinien być on połączony galwanicznie z potencjałem ziemi w porcie wyjściowym

3.3 Interfejs 2048 kbit/s

Nominalna przepływność binarna sygnału przekazywanego za pośrednictwem styku powinna wynosić 2048 kbit/s, zaś jej wartość powinna być utrzymywana z dokładnością nie gorszą niż ± 50 ppm. Jako tor transmisyjny używane są pojedyncze zrównoważone pary kablowe lub połączenia symetryczne, po jednym dla każdego kierunku przekazu, przy czym sposób realizacji ich zabezpieczeń przepięciowych przedstawia Dodatek B Zalecenia G.703.

Zalecanym sposobem transmisji danych jest liniowy kod transmisyjny HDB3, który ogranicza liczbę kolejnych zer wysyłanych w linię do 3. Sposób realizacji kodowania HDB3 przedstawia poniższy rysunek:



Rys. 4.11. Sposób kodowania HDB - 3

Eliminacja ciągów postaci 0000 uzyskiwana jest dzięki wprowadzaniu naruszenia kodowego, które polega na zastąpieniu ostatniego zera jedyneką (V) o polaryzacji identycznej z ostatnio wykorzystaną. Naruszenie może być łatwo wykryte przez układ odbiorczy, który jest w stanie dzięki temu przywrócić pierwotną postać odbieranego ciągu danych.

Ograniczenie się do wykorzystania przedstawionego rozwiązania prowadzi do braku równowagi pomiędzy ilością jedynek o różnych polaryzacjach w przypadku, gdy ich liczba pomiędzy kolejnymi naruszeniami kodowymi jest parzysta. Rozwiązanie stanowi zamiana ciągu 0000 na B00V, w którym B oznacza jedynekę o polaryzacji zgodnej z regułą kodowania. Realizację kodu HDB - 3 opisują formalnie poniższe reguły.

Tablica 4.4. Reguły tworzenia kodu HDB-3

Sygnal wejściowy	Sygnal wyjściowy	Uwagi
0	0	Gdy ilość zer po ostatniej jedynce lub ciągu 4 zer jest mniejsza od 4
1	± 1	Kodowanie naprzemienne
0000	000V	Gdy od ostatniego naruszenia kodowego wystąpiła nieparzysta liczba jedynek
0000	B00V	Gdy od ostatniego naruszenia kodowego wystąpiła parzysta liczba jedynek
V - jedynka o polaryzacji identycznej jak użyta poprzednio		
B - jedynka o polaryzacji przeciwnej do użytej poprzednio		

Kod HDB - 3 stanowi przykład rozwiązania, które nie wykorzystuje całkowicie możliwości wynikających z trójwartościowości sygnału liniowego. W rezultacie przesyłanie sygnału o przepływności 2 Mbit/s wymaga pasma 1 MHz.

Uwaga

Przedstawiona dalej specyfikacja interfejsu 2048 kbit/s obowiązuje również w przypadku wykorzystania elementów sieciowych do transmisji sygnałów o przepływnościach binarnych zapisywanych schematycznie w postaci $n \times 64 \text{ kbit/s}$ ($n = 2 \text{ do } 31$).

Tablica 4.5. Charakterystyki portu wyjściowego

Kształt impulsu (nominalnie prostokątny)	Zgodny z maską (rys. 4.12). Wartość V odpowiada nominalnej wartości szczytowej	
Typ toru kablowego (dla każdego kierunku transmisji)	Kabel koncentryczny	Para symetryczna
Testowa impedancja obciążenia	Rezystancja 75 Ω	Rezystancja 120 Ω
Nominalna szczytowa wartość napięcia impulsu	2.37 V	3 V
Szczytowa wartość napięcia przy braku impulsu	$0 \pm 0.237 \text{ V}$	$0 \pm 0.3 \text{ V}$
Nominalna szerokość impulsu	244 ns	
Stosunek amplitud impulsów dodatniego i ujemnego mierzonych w środku interwału	0.95 to 1.05	
Stosunek szerokości impulsów dodatniego i ujemnego mierzonych w połowie wysokości	0.95 to 1.05	
Maksymalny jitter międzyszczytowy na porcie wyjściowym	Zgodnie z § 2 Zalecenia G.823	

Sygnal cyfrowy występujący na porcie wejściowym powinien cechować się wyżej wymienionymi właściwościami przy uwzględnieniu oddziaływania toru transmisyjnego, którego tłumienie przy założeniu zmienności zgodnej z prawem \sqrt{f} powinno zawierać się dla częstotliwości 1024 kHz w przedziale od 0 do 6 dB. Dopuszczalna wartość jittera sygnału powinna być zgodna z zapisami § 3

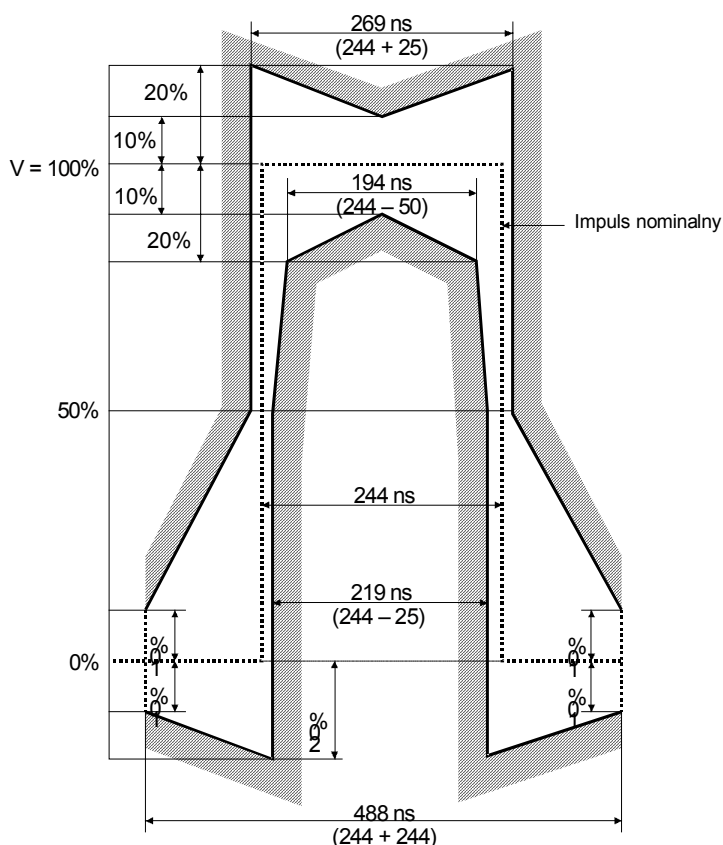
zalecenia G.823, natomiast tłumienie zwrotne portu wejściowego powinno posiadać następujące wartości minimalne:

Zakres częstotliwości (kHz)	Tłumienie zwrotne (dB)
51 do 102	12
102 do 2048	18
2048 do 3072	14

Odporność portu wejściowego na oddziaływanie interferencji wywołanych zmianami impedancji falowej toru kablowego powinna być sprawdzana przy wykorzystaniu zespolonego sygnału obejmującego przebieg użyteczny z kodowaniem liniowym HDB3 oraz zakłócający, których kształt powinien być zgodny z wymaganym wzorcem. Dodatkowo, sygnał interferencyjny powinien cechować się przepływnością w granicach wyznaczonych zapisami zalecenia, ale nie może być synchroniczny z sygnałem użytecznym

Obydwa przebiegi integruje się za pośrednictwem obwodu o średnich stratach równych 0 dB i nominalnej impedancji 75 Ω (kabel symetryczny) lub 120 Ω (para symetryczna), tak by uzyskany przebieg wynikowy cechował się stosunkiem sygnał użyteczny/sygnał interferujący równym 18 dB. Zgodnie z zaleceniem O.152 zawartość sygnału zakłócającego powinna stanowić pseudolosowa sekwencja o okresie powtarzania $2^{15}-1$ interwałów bitowych. Pomimo wprowadzenia sygnału zakłócającego o podanych parametrach, w przekazie realizowanym za pośrednictwem łącza o maksymalnym dopuszczalnym tłumieniu nie powinny występować błędy transmisyjne.

Uwaga Wykorzystywana implementacja odbiornika powinna realizować adaptacyjny schemat rozeznawania sygnału wejściowego, który jest bardziej odporny na zakłócające oddziaływanie sygnałów interferencyjnych.



Uwaga. V odpowiada nominalnej wartości szczytowej

Rys 4.12. Wzorcowa maska impulsu dla interfejsu 2048 kbit/s

Zewnętrzny przewód kabla koncentrycznego lub ekran pary symetrycznej, powinien być połączony galwanicznie z potencjałem ziemi w porcie wyjściowym. Równocześnie należy zapewnić możliwość

dołączenia wymienionych powłok ochronnych do potencjału ziemi portu wejściowego, jeśli realizacja tego typu zabezpieczenia uznana zostanie za konieczną.

3.4 Interfejs 8448 kbit/s

Nominalna przepływność binarna sygnału przekazywanego za pośrednictwem styku powinna wynosić 8448 kbit/s, zaś jej wartość powinna być utrzymywana z dokładnością nie gorszą niż ± 30 ppm. Jako tor transmisyjny używane są połączenia koncentryczne, po jednym dla każdego kierunku przekazu. Sposób realizacji zabezpieczeń przepięciowych przedstawia Dodatek B Zalecenia G.703, natomiast zalecanym sposobem transmisji jest liniowy kod transmisyjny HDB3.

Tablica 4.6. Charakterystyki portu wyjściowego

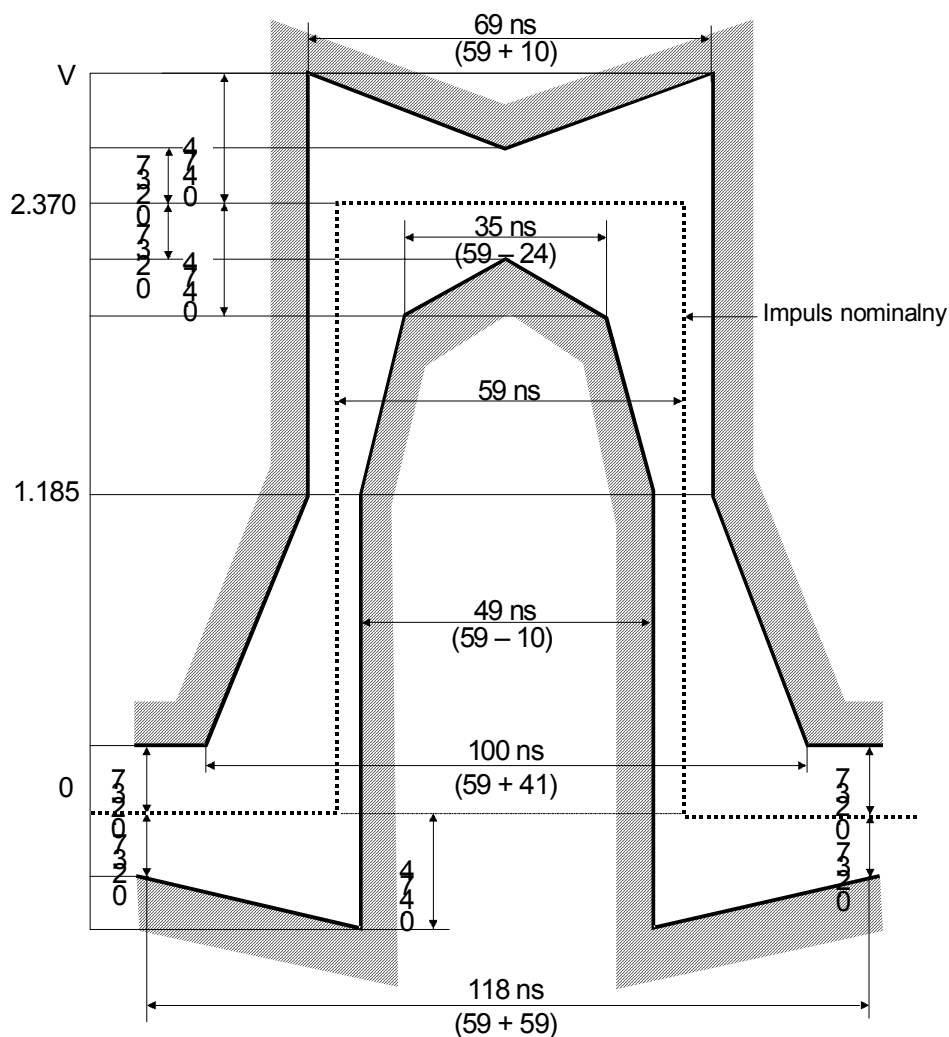
Kształt impulsu (nominalnie prostokątny)	Zgodny z maską (rys. 4.13).
Typ toru kablowego (dla każdego kierunku transmisji)	Przewód koncentryczny
Testowa impedancja obciążenia	Rezystancja 75 Ω
Nominalna szczytowa wartość napięcia impulsu	2.37 V
Szczytowa wartość napięcia przy braku impulsu	0 V \pm 0.237 V
Nominalna szerokość impulsu	59 ns
Stosunek amplitud impulsów dodatniego i ujemnego mierzonych w środku interwału	0.95 to 1.05
Stosunek szerokości impulsów dodatniego i ujemnego mierzonych w połowie wysokości	0.95 to 1.05
Maksymalny jitter międzyszczytowy na porcie wyjściowym	Zgodnie z § 2 Zalecenia G.823

Sygnał cyfrowy występujący na porcie wejściowym powinien cechować się wyżej wymienionymi właściwościami przy uwzględnieniu oddziaływania toru transmisyjnego, którego tłumienie przy założeniu zmienności zgodnej z prawem \sqrt{f} powinno zawierać się dla częstotliwości 4224 kHz w przedziale od 0 do 6 dB. Dopuszczalna wartość jittera sygnału powinna być zgodna z zapisami § 3 zalecenia G.823, natomiast tłumienie zwrotne portu wejściowego powinno posiadać następujące wartości minimalne:

Zakres częstotliwości (kHz)	Tłumienie zwrotne (dB)
211 do 422	12
do 8 448	18
do 12 672	14

Odporność portu wejściowego na oddziaływanie interferencji wywołanych zmianami impedancji falowej toru kablowego powinna być sprawdzana przy wykorzystaniu zespolonego sygnału obejmującego przebieg użyteczny z kodowaniem liniowym HDB3 oraz zakłócający, których kształt powinien być zgodny z wymaganym wzorcem. Dodatkowo, sygnał interferencyjny powinien cechować się przepływnością w granicach wyznaczonych zapisami zalecenia, ale nie może być synchroniczny z sygnałem użytecznym

Obydwa przebiegi integruje się za pośrednictwem obwodu o średnich stratach równych 0 dB i nominalnej impedancji 75 Ω , tak by uzyskany przebieg wynikowy cechował się stosunkiem sygnał użyteczny/sygnał interferujący równym 20 dB. Zgodnie z zaleceniem O.152 zawartość sygnału zakłócającego powinna stanowić pseudolosowa sekwencja o okresie powtarzania $2^{15}-1$ interwałów bitowych. Pomimo wprowadzenia sygnału zakłócającego o podanych parametrach, w przekazie realizowanym za pośrednictwem łącza o maksymalnym dopuszczalnym tłumieniu nie powinny występować błędy transmisyjne.



Rys.4.13. Maska impulsu na interfejsie 8448 kbit/s

Zewnętrzny przewód kabla koncentrycznego powinien być połączony galwanicznie z potencjałem ziemi w porcie wyjściowym. Równocześnie należy zapewnić możliwość dołączenia powłoki ochronnej do potencjału ziemi portu wejściowego, jeśli realizacja tego typu zabezpieczenia uznana zostanie za konieczną.

3.5 Interfejs 34 368 kbit/s

Nominalna przepływność binarna sygnału przekazywanego za pośrednictwem styku powinna wynosić 34 368 kbit/s, zaś jej wartość powinna być utrzymywana z dokładnością nie gorszą niż ± 20 ppm. Jako tor transmisyjny używane jest połączenia symetryczne, po jednym dla każdego kierunku przekazu. Sposób realizacji zabezpieczeń przepięciowych przedstawia Dodatek B Zalecenia G.703, natomiast zalecanym sposobem transmisji jest liniowy kod transmisyjny HDB3.

Tablica 4.7. Charakterystyki portu wyjściowego

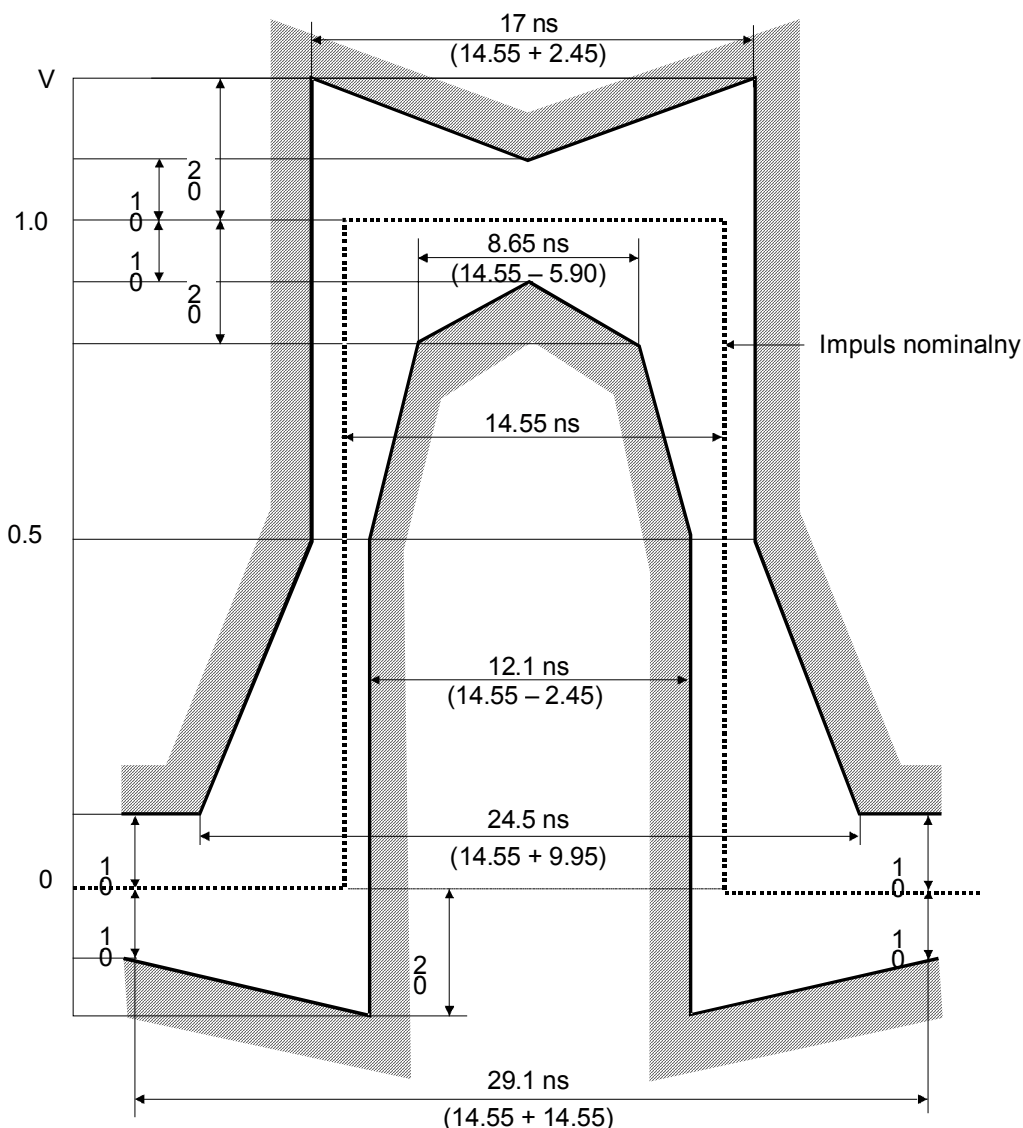
Kształt impulsu (nominalnie prostokątny)	Zgodny z maską (rys. 4.14)
Typ toru kablowego	Para przewodów koncentrycznych
Testowa impedancja obciążenia	Rezystancja 75 Ω
Nominalna szczytowa wartość napięcia impulsu	1.0 V
Szczytowa wartość napięcia przy braku impulsu	0 V ± 0.1 V
Nominalna szerokość impulsu	14.55 ns
Stosunek amplitud impulsów dodatniego i ujemnego mierzonych w środku interwału	0.95 to 1.05
Stosunek szerokości impulsów dodatniego i ujemnego mierzonych w połowie wysokości	0.95 to 1.05
Maksymalny jitter międzyszczytowy na porcie wyjściowym	Zgodnie z § 2 Zalecenia G.823

Sygnal cyfrowy występujący na porcie wejściowym powinien cechować się wyżej wymienionymi właściwościami przy uwzględnieniu oddziaływania toru transmisyjnego, którego tłumienie przy założeniu zmienności zgodnej z prawem \sqrt{f} powinno zawierać się dla częstotliwości 17 184 kHz w przedziale od 0 do 12 dB. Dopuszczalna wartość jittera sygnału powinna być zgodna z zapisami § 3 zalecenia G.823, natomiast tłumienie zwrotne portu wejściowego powinno posiadać następujące wartości minimalne:

Zakres częstotliwości (kHz)	Straty zwrotne (dB)
860 do 1 720	12
1 720 do 34 368	18
34 368 do 51 550	14

Odporność portu wejściowego na oddziaływanie interferencji wywołanych zmianami impedancji falowej toru kablowego powinna być sprawdzana przy wykorzystaniu zespolonego sygnału obejmującego przebieg użyteczny z kodowaniem liniowym HDB3 oraz zakłócający, których kształt powinien być zgodny z wymaganym wzorcem. Dodatkowo, sygnał interferencyjny powinien cechować się przepływnością w granicach wyznaczonych zapisami zalecenia, ale nie może być synchroniczny z sygnałem użytecznym

Obydwa przebiegi integruje się za pośrednictwem obwodu o średnich stratach równych 0 dB i nominalnej impedancji 75 Ω, tak by uzyskany przebieg wynikowy cechował się stosunkiem sygnał użyteczny/sygnał interferujący równym 20 dB. Zgodnie z zaleceniem O.152 zawartość sygnału zakłócającego powinna stanowić pseudolosowa sekwencja o okresie powtarzania $2^{23}-1$ interwałów bitowych. Pomimo wprowadzenia sygnału zakłócającego o podanych parametrach, w przekazie realizowanym za pośrednictwem łącza o maksymalnym dopuszczalnym tłumieniu nie powinny występować błędy transmisyjne.



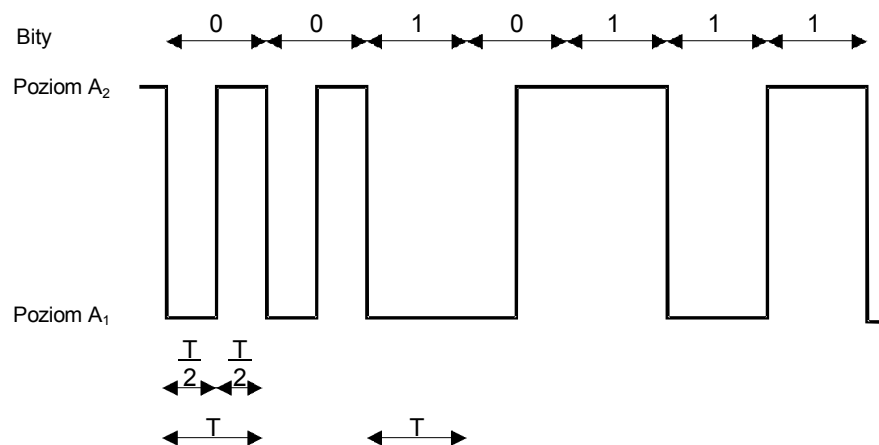
Rys. 4.14. Maska impulsu na interfejsie 34 368 kbit/s

Zewnętrzny przewód kabla koncentrycznego powinien być połączony galwanicznie z potencjałem ziemi w porcie wyjściowym. Równocześnie należy zapewnić możliwość dołączenia powłoki ochronnej do potencjału ziemi portu wejściowego, jeśli realizacja tego typu zabezpieczenia uznana zostanie za konieczną.

3.6 Interfejs 139 264 kbit/s

Nominalna przepływność binarna sygnału przekazywanego za pośrednictwem styku powinna wynosić 139 264 kbit/s, zaś jej wartość powinna być utrzymywana z dokładnością nie gorszą niż ± 15 ppm. Jako tor transmisyjny używane jest połączenia symetryczne, po jednym dla każdego kierunku przekazu. Sposób realizacji zabezpieczeń przepięciowych przedstawia Dodatek B Zalecenia G.703.

Zalecanym sposobem transmisji jest liniowy kod transmisyjny CMI, który stanowi dwupoziomą pozbawioną powrotów do zera reprezentację stanów przebiegu oryginalnego. Bit „0” jest przy tym kodowany poprzez występujące naprzemiennie poziomy A_1 i A_2 , których czas trwania wynosi dokładnie połowę podstawowego interwału bitowego ($T/2$), natomiast bit „1” reprezentują identyczne poziomy napięcia utrzymywane na zmianę przez cały okres trwania pojedynczego symbolu. Przykład ilustrujący przedstawioną technikę kodowania przedstawia rys.4.15.



Rys.4.15. Przykład kodowania CMI

Na podstawie przedstawionego schematu możliwe jest sformułowanie następujących zasad kodowania:

- W stanie „0”, w połowie interwału bitowego występuje zawsze narastające zbocze sygnału.
- Natomiast w stanie „1” zbocze narastające rozpoczyna interwał bitowy, jeśli poprzednim stanem był A1 oraz kończy go w przypadku przeciwnym.

Wymagane charakterystyki portu wyjściowego interfejsu 139 264 kbit/s, zdefiniowane są zawartością Tab.4.8 oraz maskami sygnałów przedstawionymi na rys 4.16 i 4.17.

Tablica 4.8. Charakterystyki portu wyjściowego

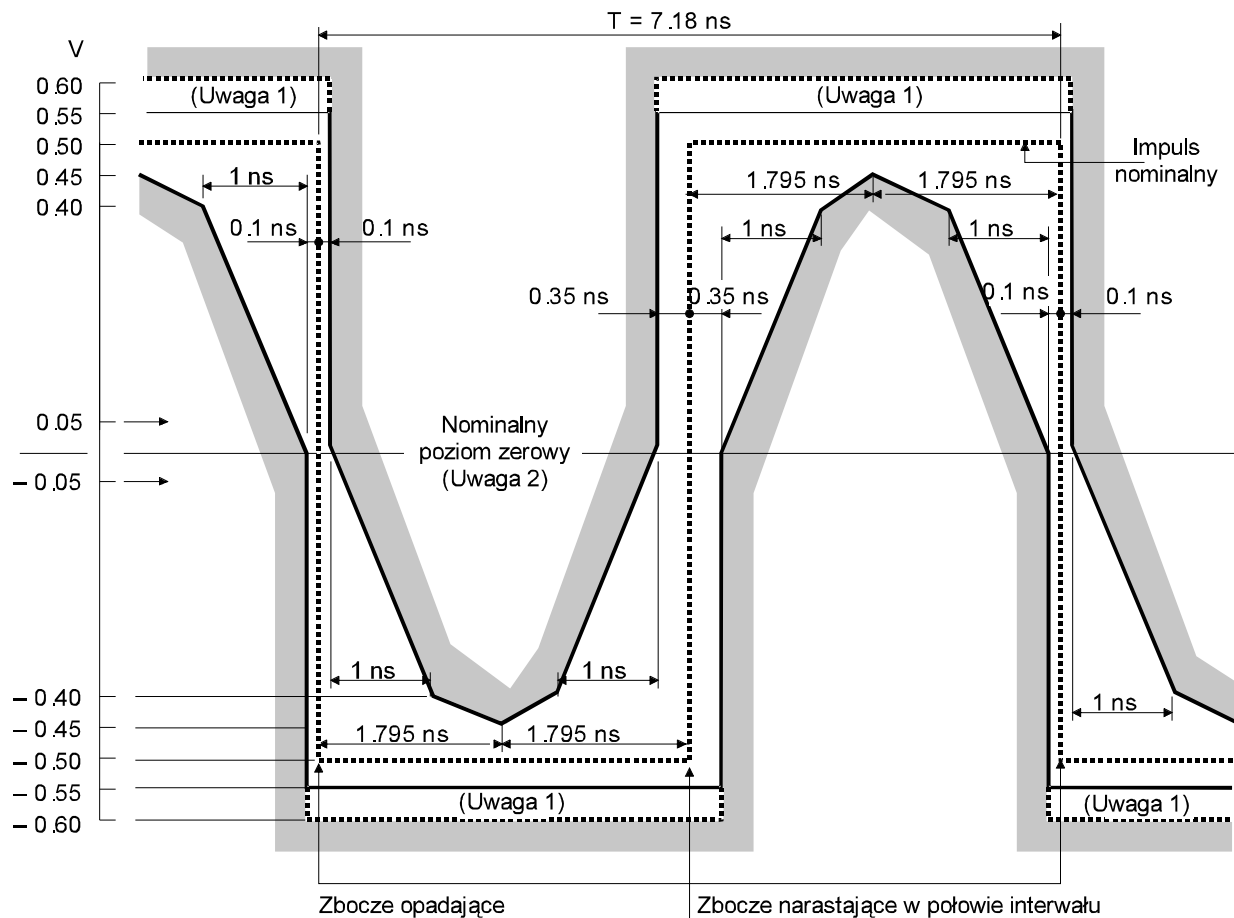
Kształt impulsu (nominalnie prostokątny)	Zgodny z maskami (rys. 4.16 i 4.17)
Typ toru kablowego	Para przewodów koncentrycznych
Testowa impedancja obciążenia	Rezystancja 75 Ω
Napięcie międzyszczytowe	1 ± 0.1 V
Czas narastania impulsu od 10 do 90% amplitudy	≤ 2 ns
Tolerancja zmian stanów zegara w stosunku do średniej wartości położenia punktów o 50% amplitudzie na zboczu opadającym	Zbocze opadające: ± 0.1 ns Zbocze narastające na granicy interwałów jednostkowych: ± 0.5 ns Zbocze narastające w połowie interwału: ± 0.35 ns
Tłumienie zwrotne	≥ 15 dB w zakresie 7 MHz do 210 MHz
Maksymalny jitter międzyszczytowy na porcie wyjściowym	Zgodnie z § 2 Zalecenia G.823

W chwili obecnej rozważane jest wprowadzenie do użytku techniki, wykorzystującej do weryfikacji wypełniania przez sygnał liniowy obowiązujących wymagań pomiarów poziomów pierwszej, drugiej i ewentualnie trzeciej harmonicznej przebiegów testowych składających się z ciągów bitowych o wartościach „0” i „1”.

Sygnał cyfrowy występujący na porcie wejściowym powinien cechować się wyżej wymienionymi właściwościami przy uwzględnieniu oddziaływania toru transmisyjnego, którego tłumienie przy założeniu zmienności zgodnej z prawem \sqrt{f} powinno posiadać maksymalną wartość 12 dB dla częstotliwości 70 MHz.. Dopuszczalna wartość jittera sygnału powinna być zgodna z zapisami § 3 zalecenia G.823, natomiast tłumienie zwrotne portu wejściowego powinno być takie same jak w przypadku portu wyjściowego

Zewnętrzny przewód kabla koncentrycznego powinien być połączony galwanicznie z potencjałem ziemi w porcie wyjściowym. Równocześnie należy zapewnić możliwość dołączenia powłoki ochronnej do

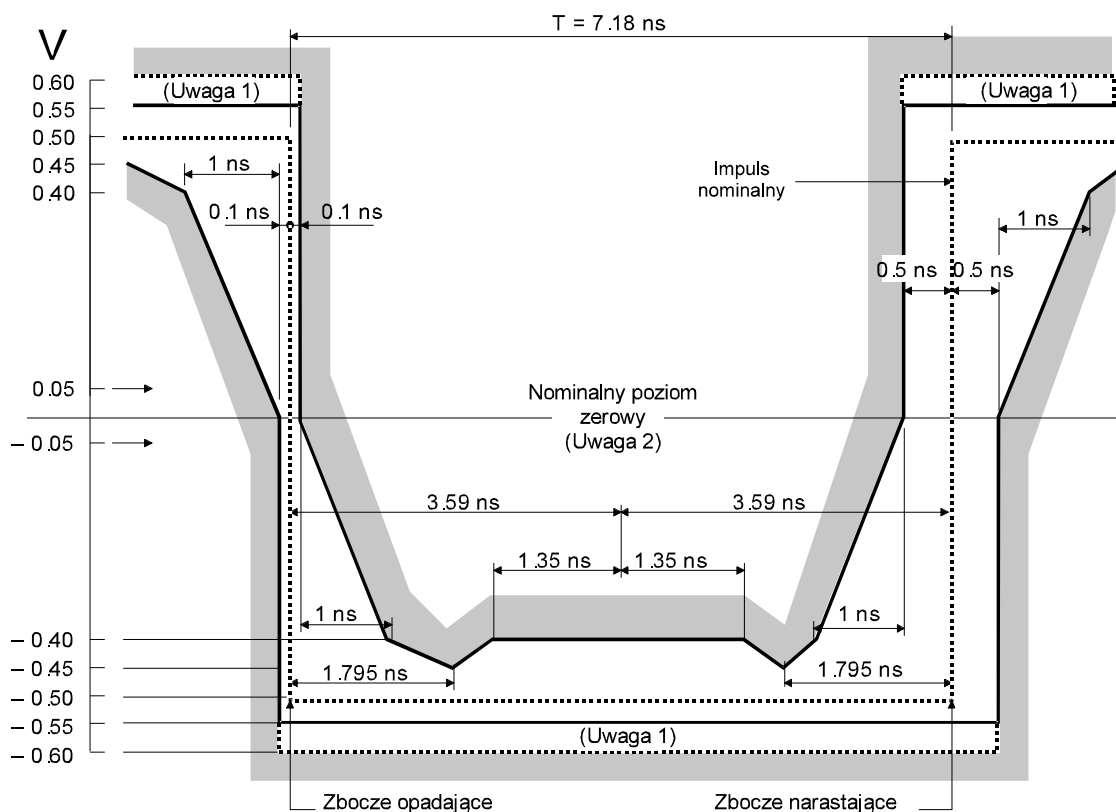
potencjału ziemi portu wejściowego, jeśli realizacja tego typu zabezpieczenia uznana zostanie za konieczną.



Rys. 4.16. Maska sekwencji dla bitów o wartości „0”

Uwagi

1. Maksymalna wartość amplitudy w stanie ustalonym nie powinna przekraczać granicy 0.55 V, zaś odstępstwa od tej wartości w stanach przejściowych powinny znajdować się w zaznaczonym obszarze, ograniczonym poziomami 0.55 i 0.6 V. Warunki, w których powyższe wymaganie mogłoby nie obowiązywać stanowią przedmiot intensywnych studiów.
2. Pomiary weryfikujące zgodność rzeczywistych sygnałów z przedstawioną maską, powinny być wykonywane przy sprzężeniu zmiennoprądowym, realizowanym za pomocą kondensatora o pojemności nie mniejszej niż 0.01 μF dołączonego szeregowo do wejścia oscyloskopu. Nominalny poziom zerowy obydwu masek powinien odpowiadać linii na ekranie bez doprowadzania sygnału wejściowego, po którego włączeniu dopuszcza się pionowe dostrojenie w celu wprowadzenia obserwowanego przebiegu w obszar wyznaczony przez maski. W każdym przypadku wartość przesunięcia musi być identyczna i nie może przekraczać ± 0.05 V, co można sprawdzić poprzez chwilowe odłączenie sygnału. W stanie tym ślad na ekranie powinien znajdować się nie dalej niż ± 0.05 V od nominalnego poziomu zerowego.
3. Każdy impuls dowolnej sekwencji powinien znajdować się w obszarze odpowiedniej maski pozostającej w stałym położeniu do wspólnego sygnału zegara, niezależnie do poprzednich lub następnych symboli kodowych. Maski dopuszczają występowanie jittera wysokiej częstotliwości wywołanego interferencją międzysymbolową w stopniu wyjściowym, ale dyskwalifikują przebiegi z jitterem przebiegu zegarowego wprowadzanym przez źródło sygnałowe interfejsu. Jeśli do weryfikacji zgodności sygnałów z wzorcami masek wykorzystywany jest oscyloskop, niezwykle ważne jest uzyskanie nakładania się kolejnych przebiegów redukującego efekty wywołane jitterem o niskiej częstotliwości. Stan ten może być uzyskany dzięki wyzwalaniu podstawy czasu wybranym zboczem obserwowanego przebiegu lub poprzez synchronizację polegającą na doprowadzeniu do oscyloskopu przebiegu zegarowego z wyjścia interfejsu. Szczegóły wykorzystania opisanych metod pomiarowych stanowią obecnie przedmiot intensywnych studiów.
4. Czasy narastania i opadania impulsów powinny być wyznaczone pomiędzy poziomami - 0.4 i + 0.4 V, zaś ich wartości nie mogą przekraczać 2 ns.



Rys. 4.17. Maska sekwencji dla bitów o wartości „1”

Uwaga

W odniesieniu do parametrów czasowych i napięciowych przedstawionej na powyższym schemacie maski obowiązują uwagi zawarte w pkt. 1 do 4 poprzedniego wykazu. Dodatkowo jednak należy uwzględnić, że impulsy o przeciwnej polaryzacji powinny spełniać identyczne wymagania, za wyjątkiem tolerancji czasowych dla zboczy opadającego i narastającego, które w tym przypadku powinny wynosić odpowiednio ± 0.1 i ± 0.5 ns.

3.7 Interfejs sygnału zegara 2048 kHz

Wykorzystanie interfejsu sygnału zegarowego 2048 kHz jest zalecane w przypadkach, w których wymaga się synchronizacji urządzeń cyfrowych zewnętrznym przebiegiem zegarowym. Jako tor transmisyjny używane są alternatywnie para symetryczna lub połączenie koncentryczne z zabezpieczeniami przepięciowymi przedstawionymi w Dodatku B Zalecenia G.703.

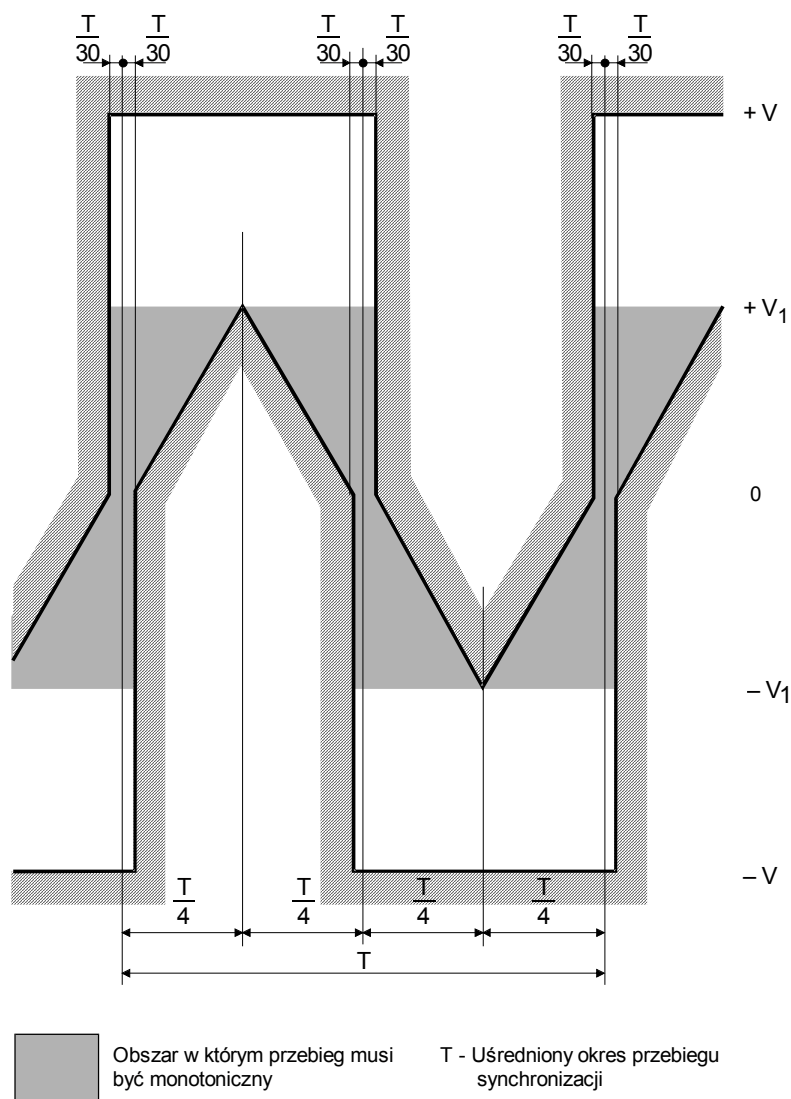
Tablica 4.9. Charakterystyki portu wyjściowego

Częstotliwość	2048 kHz \pm 50 ppm	
Kształt impulsów	Zgodny z maską (rys. 4.18) Wartość V - maksymalne napięcie szczytowe Wartość V ₁ - minimalne napięcie szczytowe	
Tor kablowy	Przewód koncentryczny	Para symetryczna
Testowa impedancja obciążenia	Rezystancja 75 Ω	Rezystancja 120 Ω
Maksymalne napięcie szczytowe (V _{op})	1.5	1.9
Minimalne napięcie szczytowe (V _{op})	0.75	1.0
Maksymalny jitter na porcie wyjściowym	Międzyszczytowo 0.05 IU w zakresie $f_1 = 20$ Hz do $f_4 = 100$ kHz (Uwaga)	

Uwaga – Podana wartość dotyczy sieciowych elementów zegarowych i nie musi obowiązywać w przypadku portów wyjściowych cyfrowych łączy dalekosiężnych przynoszących sygnały zegarowe.

Sygnał cyfrowy występujący na porcie wejściowym powinien cechować się wyżej wymienionymi właściwościami przy uwzględnieniu oddziaływania toru transmisyjnego, którego tłumienie przy założeniu zmienności zgodnej z prawem \sqrt{f} powinno znajdować się dla częstotliwości 2048 kHz w przedziale od 0 do 6 dB. Dopuszczalna wartość jittera sygnału stanowi obecnie przedmiot intensywnych studiów, natomiast tłumienie zwrotne portu wejściowego dla częstotliwości 2048 kHz powinno być ≥ 15 dB.

Zewnętrzny przewód kabla koncentrycznego lub ekran pary symetrycznej powinien być połączony galwanicznie z potencjałem ziemi w porcie wyjściowym. Równocześnie należy zapewnić możliwość dołączenia powłoki ochronnej do potencjału ziemi portu wejściowego, jeśli realizacja tego typu zabezpieczenia uznana zostanie za konieczną.



Rys. 4.18. Kształt przebiegu na porcie wyjściowym

3.8 Wymagania na ochronę przeciwprzepięciową

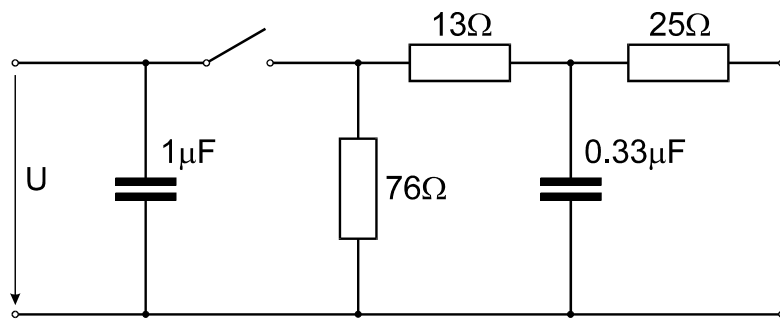
Porty wejściowe i wyjściowe powinny przechodzić bez uszkodzeń test 10 standardowych impulsowych wyładowań atmosferycznych (1.2/50 ms) o maksymalnej amplitudzie U (5 impulsów dodatnich i 5 ujemnych). Szczegółowe parametry impulsów zawiera opracowanie: IEC publication No. 60-2 *High-voltage test techniques, Part 2: Test procedures*, Geneva, 1973.

W przypadku interfejsu z kablem koncentrycznym testowanie prowadzi się w następujących układach:

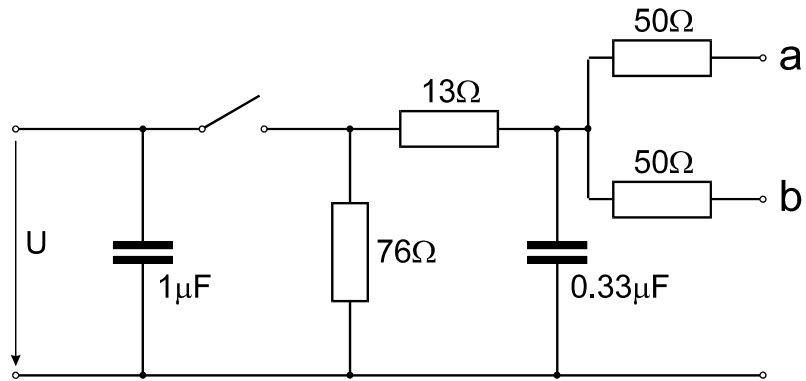
- różnicowym - z generatorem impulsowym o schemacie zgodnym z rys. 4.19, wartość U jest przedmiotem studiów;
- wspólnym, który stanowi obecnie przedmiot intensywnych studiów.

Podobnie interfejsy pary symetrycznej poddawane są sprawdzeniom:

- różnicowym - z generatorem impulsowym o schemacie zgodnym z rys. 4.19, wartość U jest przedmiotem studiów (rozważa się wartość 20 V);
- wspólnym - z generatorem impulsowym o schemacie zgodnym z rys. 4.20, przy wartości $U = 100 \text{ V}_{dc}$.



Rys.4.19. Generator impulsów 1.2/50 ms do testów różnicowych



Rys. 4.20. Generator impulsów 1.2/50 ms do testów wspólnych interfejsów symetrycznych

4. Struktury ramek pierwszego i drugiego poziomu zwielokrotnienia

Struktury ramek pierwszego i drugiego poziomu zwielokrotnienia zawierają zapisy zawarte w zaleceniu G.704, którego przedmiot stanowią charakterystyki interfejsów:

- węzłów sieciowych, a w szczególności multiplexerów i komutatorów sieci ISDN;
- multiplexerów PCM;

Charakterystyki elektryczne wymienionych styków zawiera zalecenie G.703.

Oprócz struktury ramek, a w tym ich długości, sposobów synchronizacji, technik kontroli poprawności przekazu i innych informacji podstawowych, zalecenie G.704 prezentuje również sposób, w jaki kanały 64 kbit/s są wprowadzane do strumieni grupowych wyższych rzędów zwielokrotnienia.

Zapisy zalecenia G.704 nie muszą być wykorzystywane w przypadkach, gdy transmitowane sygnały nie podlegają komutacji, a więc przenoszą np. szerokopasmowe transmisje TV i dźwiękowe, do których nie są bezpośrednio wykorzystywane mechanizmy ISDN.

Opisane struktury ramek nie mają zastosowania w przypadkach sygnałów utrzymaniowych, takich np. jak wypełniony bitami o wartości „1” strumień nadawany w stanach awaryjnych oraz inne tego typu przekazy występujące w łączach wyłączonych z użytkowania.

4.1 Podstawowe struktury ramek

4.1.1 Ramka 2048 kbit/s

Ramka sygnału 2048 kbit/s obejmuje 256 bitów, numerowanych od 1 do 256 i jest powtarzana z częstotliwością 8000 Hz. Przeznaczenie bitów 1 - 8 ramki zawiera Tab. 5.1.

Tablica 5.1 Przeznaczenie bitów 1 - 8 ramki sygnału 2048 kbit/s

Numer bitu	1	2	3	4	5	6	7	8
Typ ramki								
Ramka zawierająca	S_i	0	0	1	1	0	1	1
sygnał synchronizacji	(Uwaga 1)	Sygnał synchronizacji ramki						
Ramka nie zawierająca	S_i	1	A	S_{a4}	S_{a5}	S_{a6}	S_{a7}	S_{a8}
sygnału synchronizacji	(Uwaga 1)	(Uwaga 2)	(Uwaga 3)	(Uwaga 4)				

Uwaga 1. S_i - bit zastrzeżony do wykorzystania w łączach międzynarodowych (jednym z jego zastosowań jest realizacja procedur kontrolnych CRC). Jeśli pole S_i nie jest wykorzystywane, powinno być ustawione w stan „1”.

Uwaga 2. Bit ustawiony w stan „1” dla uniknięcia możliwości symulowania sygnału synchronizacji ramki.

Uwaga 3. A - wskazanie alarmu. W czasie normalnej pracy zawiera „0”, stan „1” oznacza uszkodzenie.

Uwaga 4. S_{a4} - S_{a8} - dodatkowe bity wypełniające, wykorzystywane do:

1. realizacji dodatkowych zadań w połączeniach typu punkt - punkt np. sterowania transkoderami zgodnie z zaleceniem G.761;
2. tworzenia połączeń pakietowych (S_{a4}) uruchamianych dla potrzeb utrzymaniowych i monitoringu. Jeśli połączenie jest wykorzystywane przez elementy pośredniczące zmiany zawartości S_{a4} muszą zostać odzwierciedlone przez CRC-4.
3. zadań wyznaczonych przez operatora narodowego (S_{a5} - S_{a7}), o ile nie są wykorzystane zgodnie z pkt.1.

Jeśli zadania zgodnie z pkt. 1 - 3 nie są realizowane bity S_{a4} - S_{a8} powinny być ustawione w stan „1”.

4.1.2 Procedura CRC-4

Jeśli nie występuje potrzeba dodatkowego zabezpieczenia przed symulacją wzorca synchronizacji, bit 1 ramki może być wykorzystany przez procedurę cyklicznej kontroli poprawności przekazu (*Cyclic Redundancy Check - CRC-4*).

Urządzenia przystosowane do realizacji procedury CRC - 4 powinny posiadać zdolność współpracy z elementami sieciowymi, które jej nie realizują, przy czym współpraca może być uzyskiwana w sposób wymuszony lub automatyczny:

- Tryb wymuszony polega na trwałym ustawianiu bitów 1 ramek nadawanych w stronę urządzeń nie zdolnych do realizacji procedury CRC-4 w stan „1”.
- Tryb automatyczny może być realizowany alternatywnie poprzez:
 1. zastosowanie specjalizowanych funkcji wyższych warstw standardowego modelu odniesienia OSI, wykonywanych pod kontrolą systemu zarządzania siecią (TMN);
 2. wykorzystanie schematu CRC-4 zmodyfikowanego zgodnie z opisem zawartym w dodatku B zalecenia G.706.

Wykorzystanie bitów 1 - 8 poszczególnych ramek multiramki sygnału 2048 kbit/s podczas realizacji procedury CRC-4 zawiera tablica 5.2.

Tablica 5.2. Struktura multiramki CRC-4

	Podmultiramka (SMF)	Numer ramki	Bity 1 - 8 ramki							
			1	2	3	4	5	6	7	8
Multiramka	I	0	C ₁	0	0	1	1	0	1	1
		1	0	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		2	C ₂	0	0	1	1	0	1	1
		3	0	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		4	C ₃	0	0	1	1	0	1	1
		5	1	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		6	C ₄	0	0	1	1	0	1	1
	7	0	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}	
	II	8	C ₁	0	0	1	1	0	1	1
		9	1	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		10	C ₂	0	0	1	1	0	1	1
		11	1	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		12	C ₃	0	0	1	1	0	1	1
		13	E	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		14	C ₄	0	0	1	1	0	1	1
15		E	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}	

Uwaga 1. E - bit wskaźnikowy błędu CRC-4.

Uwaga 2. S_{a4} - S_{a8} - dodatkowe bity wypełniające.

Uwaga 3. C₁ - C₄ - nadmiarowe bity kontrolne CRC-4.

Uwaga 4. A - wskazanie zdalnego alarmu.

Każda multiramka CRC-4, która składa się z 16 ramek ponumerowanych od 0 do 15, dzieli się na dwie podmultiramki (*Sub-multiframe - SMF*), oznaczane jako SMF I i SMF II. SMF stanowi podstawowy blok (2048 bitów) objęty działaniem funkcji kontrolnej CRC-4. Multiramka CRC-4 nie jest związana z opisaną dalej strukturą wieloramki właściwej zastosowaniu szczeliny nr 16.

W ramkach zawierających wzorec synchronizacji, bit 1 jest wykorzystany do przenoszenia kolejnych elementów CRC-4 (oznaczonych jako C₁, C₂, C₃ i C₄), natomiast w ramkach nie zawierających tego wzorca bit 1 przenosi elementy 6 bitowej flagi synchronizacji (001011) oraz bity wskaźnikowe błędów (E).

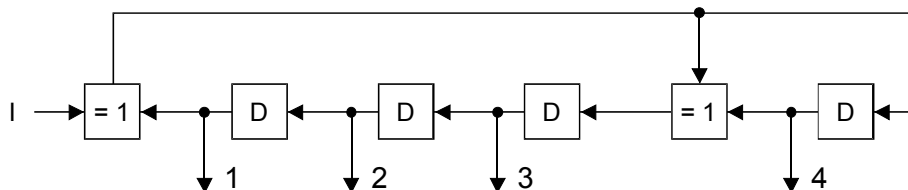
Do chwili ustanowienia synchronizacji ramkowej oraz synchronizacji multiramki CRC-4, bity E powinny być ustawione w stan „0”, a następnie odzwierciedlać stan błędnego przekazu odpowiedniej SMF. Czas pomiędzy stwierdzeniem błędów, a ustawieniem odpowiedniego bitu E nie może być dłuższy niż 1 s. Elementy sieciowe pozbawione możliwości realizacji procedury CRC-4 powinny ustawiać obydwa bity E w stan „1”.

Każde słowo CRC-4 przesyłane w SMF N stanowi resztę z dzielenia (mod 2) przez wielomian generujący $x^4 + x + 1$, przemnożonej przez czynnik x^4 SMF $N-1$. Reprezentacja zawartości SMF w postaci wielomianu binarnego realizowana jest w ten sposób, że pierwszy bit ramki 0 (lub 8) jest bitem najstarszym. Odpowiednio bit C_1 jest najstarszym, zaś C_4 najmłodszym bitem reszty kodowej, tworzonej w wyniku realizacji następującego algorytmu:

1. pola CRC-4 w SMF zostają ustawione w stan „0”;
2. realizowany jest przedstawiony proces mnożenia i dzielenia;
3. otrzymana reszta zostaje zachowana z przeznaczeniem do wstawienia we właściwe pola bitowe następnej SMF.

Należy zwrócić uwagę, że zgodnie z zapisem pkt. 1, uzyskana w ten sposób wartość CRC-4 nie jest wykorzystywana w procesie wyznaczania reszty kodowej kolejnej SMF.

W praktyce wartość CRC-4 jest wyznaczana przez układ rejestrów przesuwających współpracujących w sposób przedstawiony na rys. 5.1.



Rys. 5.1. Schemat wyznaczania wartości CRC-4

Kolejne bity przetwarzanej SMF są wprowadzane do rejestru w punkcie I, natomiast wartość pola CRC-4 (bity C_1 do C_4) jest dostępna na wyjściach od 1 do 4 układu w momencie gdy na wejście I zostanie podany ostatni (256) bit SMF. Następnie wyjścia 1 - 4 zostają wyzerowane i układ jest gotowy do przetwarzania kolejnej SMF.

W celu wykrycia ewentualnych przekłamań transmisyjnych realizowana jest następująca procedura:

1. Po stronie odbiorczej każda SMF poddawana jest ponownie procedurze mnożenia przez czynnik x^4 i dzielenia przez wielomian $x^4 + x + 1$, przy czym dostarczona przez nią wartość CRC-4 zostaje przed wypełnieniem właściwych pól bitowych wartościami „0” zapamiętana.
2. Uzyskana w procesie dzielenia reszta jest porównywana z zawartością pól CRC-4 dostarczonych przez następną SMF
3. Jeśli obydwie wartości są jednakowe, przyjmuje się, że zawartość aktualnie odebranej SMF została bezbłędnie dostarczona do punktu przeznaczenia.

Zgodnie z wcześniejszym opisem bit S_{a4} może być wykorzystany do realizacji pakietowego łącza danych pomiędzy punktami końcowymi ścieżki transmisyjnej sygnału 2048 kbit/s. Jeżeli łącze to wykorzystywane jest w punktach węzłowych leżących pomiędzy terminalami ścieżki, to zmiany stanu bitu S_{a4} powinny zostać odzwierciedlone w zawartości pól CRC-4. Szczegóły realizacyjne właściwej procedury modyfikacyjnej zawiera załącznik C zalecenia G.706.

4.1.3 Struktura ramki 8448 kbit/s

Ilość bitów stanowiących ramkę sygnału 8448 kbit/s jest równa 1056. Są one numerowane od 1 do 1056, zaś częstość powtarzania ramki wynosi 8000 Hz. Wzorzec synchronizacji jest równy 11100110100000 (binarnie), natomiast jego przekaz odbywa się z wykorzystaniem bitów 1- 8 i 529 - 534. Dodatkowo bit 535 jest wykorzystywany do wskazywania stanów alarmowych (po ustawieniu w stan „1”), zaś

wykorzystanie bitu 536 pozostawiono w gestii operatorów narodowych. W ramach wymienianych pomiędzy różnymi domenami bit ten powinien być ustawiony w stan „1”. Identyczna zasada dotyczy bitów 9 - 40, jeśli w systemie wykorzystywana jest sygnalizacja w kanale skojarzonym.

4.2 Struktury ramek kanałów o różnych przepływnościach w strumieniu 2048 kbit/s

4.2.1 Transfer kanałów 64 kbit/s

Kanały o przepływności binarnej 64 kbit/s zawierają po 8 bitów, z których każdy posiada przypisany numer z zakresu 1 - 8. W sumie struktura ramki sygnału 2048 kbit/s obejmuje 32 kanały (256 bitów), przy czym do przenoszenia sygnałów pasma akustycznego kodowanych cyfrowo zgodnie z zaleceniem G.711 lub innych sygnałów cyfrowych o przepływności binarnej 64 kbit/s wykorzystywane są szczeliny od 1 do 15 i od 17 do 31.

Szczelina 16 może być wykorzystywana jako dodatkowy kanał użytkowy 64 kbit/s, ale jej zasadniczym przeznaczeniem jest prowadzenie sygnalizacji. Sposób realizacji funkcji sygnalizacyjnych jest w takich przypadkach określony przez specyfikację używanego systemu wymiany informacji służbowych

Jeśli w systemie realizowana jest sygnalizacja w kanale skojarzonym, to funkcje wypełniane przez zawartość szczeliny 16 w kolejnych ramkach multiramki powinny być zgodne z zestawieniem zawartym w Tab. 5.3.

Tablica 5.3. Funkcje zawartości szczeliny 16 kolejnych ramek multiramki

Szczelina 16 ramki 0	Szczelina 16 ramki 1		Szczelina 16 ramki 2		--	Szczelina 16 ramki 15	
0000xyxx	abcd kanał 1	abcd kanał 16	abcd kanał 2	abcd kanał 17	--	abcd kanał 15	abcd kanał 30

Uwaga:

1. Numery kanałów odpowiadają kolejnym sygnałom telefonicznym 64 kbit/s.
2. W każdym przypadku bity a, b, c i d tworzą 4 kanały sygnalizacyjne o przepływności 500 bitów/s. Zakłócenia przekazu wywołane akcjami systemu transmisyjnego nie powinny być dłuższe niż 2 ms.
3. Jeśli bity b, c, i d nie są wykorzystywane, powinny być ustawione w stan b = „1”, c = „0” i d = „1”. Zalecane jest ponadto unikanie ustawiania na bitach a, b, c i d kanałów 1-15 stanu „0000”.
4. Wolny bit x powinien być ustawiony w stan „1”. Bit y stanowi pola alarmowe, które w warunkach normalnej pracy systemu powinno przyjmować wartość „0” („1” oznacza stan alarmowy).

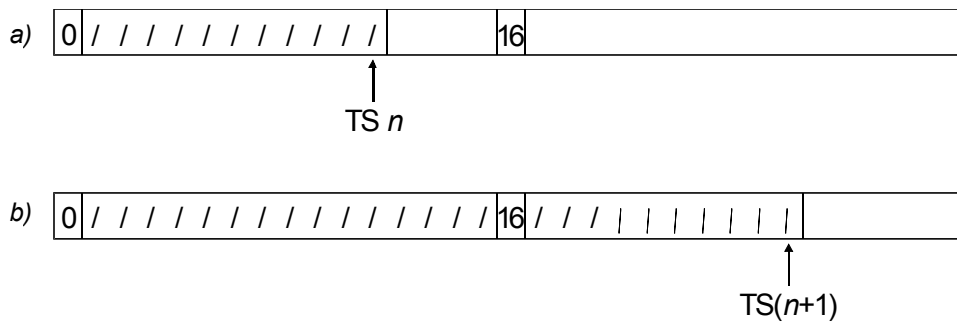
4.2.2 Transfer kanałów $n \times 64$ kbit/s

Charakterystyki elektryczne interfejsów powinny być zgodne z zapisami zalecenia G.703. W praktyce wyróżniane są dwa przypadki wprowadzania sygnału $n \times 64$ kbit/s do ramki 2048 kbit/s.

4.2.2.1 Pojedynczy sygnał $n \times 64$ kbit/s na wejściu podrzędnym multipleksera

Szczeliny czasowe ramki sygnału 2048 kbit/s są wypełniane w następujący sposób::

- TS0 - zgodnie z wcześniejszym opisem;
- TS16 - zarezerwowana dla celów sygnalizacyjnych;
- Jeżeli $2 \leq n \leq 15$, dane $n \times 64$ kbit/s wprowadzane są do szczelin TS1 do TSn (część a rys.5.2);
- Jeśli $15 < n \leq 30$, dane $n \times 64$ kbit/s wprowadzane są do szczelin od TS1 do TS15 i od TS17 do TS(n+1) (część b rys.5.2);
- pozostałe (niewykorzystane) szczeliny powinny być wypełnione bitami w stanie „1”.

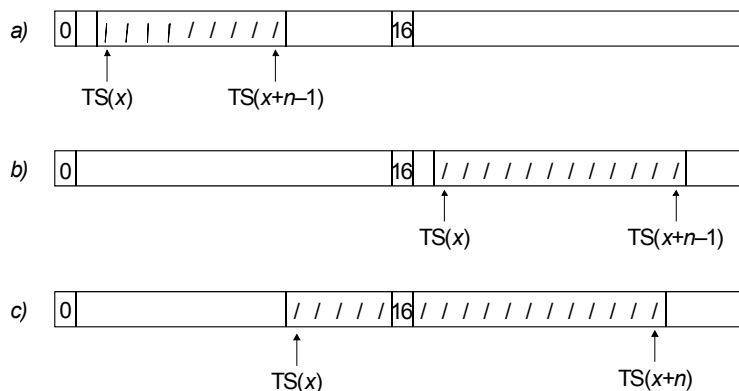


Rys. 5.2. Wprowadzanie pojedynczego sygnału $n \times 64$ kbit/s do ramki 2048

4.2.2.2 Jeden lub więcej sygnałów $n \times 64$ kbit/s po stronie sygnału zespolonego multiplexera

Szczeliny czasowe ramki sygnału 2048 kbit/s są wypełniane w następujący sposób::

- TS0 - zgodnie z wcześniejszym opisem;
- TS16 - zarezerwowana dla celów sygnalizacyjnych;
- TS(x) ramki 2048 kbit/s stanowi pierwszą szczelinę czasową przeznaczoną do przenoszenia sygnału $n \times 64$ kbit/s:
 - Jeśli $x \leq 15$ i $x + (n-1) \leq 15$, lub jeśli $x \geq 17$ i $x + (n-1) \leq 31$, to wypełnione zostaną szczeliny od TS (x) do TS (x+n-1) (części a i b rys. 5.3);
 - Jeśli $x + (n-1) \geq 16$, to wypełnione zostaną szczeliny od TS (x) do TS15 i TS17 to TS (x+n) (część c rys. 5.3).
- pozostałe (niewykorzystane) szczeliny powinny być wypełnione bitami w stanie „1”.



Rys. 5.3. Wprowadzanie sygnału $n \times 64$ kbit/s do ramki 2048 kbit/s

4.3 Struktury ramek kanałów o różnych przepływnościach w strumieniu 8448 kbit/s

4.3.1 Transfer kanałów 64 kbit/s

Kanały o przepływności binarnej 64 kbit/s zawierają po 8 bitów, z których każdy posiada przypisany numer z zakresu 1 - 8. W sumie struktura ramki sygnału 8448 kbit/s obejmuje 132 kanały (1056 bitów).

4.3.1.1 System z sygnalizacją w kanale skojarzonym

Szczeliny o numerach 5 do 32, 34 do 65, 71 do 98 i 100 do 131 są wykorzystywane do realizacji 120 kanałów telefonicznych.

Szczelina 0 w całości oraz pierwsze 6 bitów szczeliny 66 są przeznaczone do przenoszenia wzorca synchronizacji ramki. Pozostałe 2 bity szczeliny 66 wykorzystywane są do realizacji przekazu informacji służbowych. Dodatkowo w szczelinach 67 - 70 umieszczane są dane sygnalizacji w kanale skojarzonym, natomiast kanały 1 do 4 oraz 33 pozostawiono do użytku operatorów narodowych.

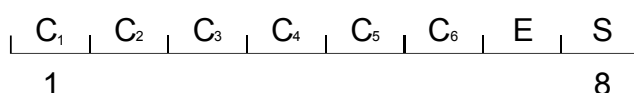
4.3.1.2 System z sygnalizacją wspólnokanałową

Szczeliny o numerach 2 do 32, 34 do 65, 67 do 98 i 100 do 131 są wykorzystywane do realizacji 127 telefonicznych, sygnalizacyjnych lub przeznaczonych do realizacji innych zadań usługowych kanałów o przepływności 64 kbit/s każdy. Sposób wykorzystania szczeliny czasowej o numerze 1 może być przedmiotem dwustronnych uzgodnień pomiędzy administracjami współpracujących sieci narodowych. Szczeliny 1 - 32, 34 - 65 itd. są numerowane w sposób ciągły od 0 do 127.

Szczelina 0 w całości oraz pierwsze 6 bitów szczeliny 66 są przeznaczone do przenoszenia wzorca synchronizacji ramki. Pozostałe 2 bity szczeliny 66 wykorzystywane są do realizacji przekazu informacji służbowych. Dodatkowo szczeliny od 67 do 70 przeznaczone są do prowadzenia sygnalizacji wspólnokanałowej, natomiast kanał 33 pozostawiono do użytku operatorów narodowych.

4.3.2 Procedura CRC-6

W celu monitorowania jakości przekazu ramek sygnału 8448 kbit/s realizowana jest procedura CRC-6 wykorzystująca bity C₁ do C₆ umieszczone w szczelinie 99 zgodnie ze schematem przedstawionym na poniższym rysunku:



Szczelina czasowa 99

Wartość CRC-6 obejmująca 132 bajty przesyłanych danych jest wyznaczana dla każdej ramki tj. z częstotliwością 8 kHz. Dodatkowo bit nr 7 szczeliny 99 (E) stanowi wskaźnik informujący współpracujące urządzenie sieciowe o wystąpieniu błędów transmisyjnych w poprzednio odebranej ramce sygnałowej.

Każde słowo CRC-6 przenoszone w ramce N stanowi resztę z dzielenia (mod 2) przez wielomian generujący $x^6 + x + 1$, przemnożonej przez czynnik x^6 ramki $N-1$. Reprezentacja zawartości ramki w postaci wielomianu binarnego realizowana jest w ten sposób, że pierwszy bit ramki 0 (lub 8) jest bitem najstarszym. Odpowiednio bit C_1 jest najstarszym, zaś C_6 najmłodszym bitem reszty kodowej, tworzonej w wyniku realizacji następującego algorytmu:

1. pola CRC-6 ramki zostają ustawione w stan „0”;
2. realizowany jest przedstawiony proces mnożenia i dzielenia;
3. otrzymana reszta zostaje zachowana z przeznaczeniem do wstawienia we właściwe pola bitowe następnej ramki.

Należy zwrócić uwagę, że zgodnie z zapisem pkt. 1, uzyskana w ten sposób wartość CRC-6 nie jest wykorzystywana w procesie wyznaczania reszty kodowej kolejnej ramki.

W celu wykrycia ewentualnych przekłamań transmisyjnych realizowana jest następująca procedura:

1. Po stronie odbiorczej każda ramka poddawana jest ponownie procedurze mnożenia przez czynnik x^6 i dzielenia przez wielomian $x^6 + x + 1$, przy czym dostarczona przez nią wartość CRC-6 zostaje przed wypełnieniem właściwych pól bitowych wartościami „0” zapamiętana.
2. Uzyskana w procesie dzielenia reszta jest porównywana z zawartością pól CRC-6 dostarczonych przez następną ramkę.
3. Jeśli obydwie wartości są jednakowe, przyjmuje się, że zawartość aktualnie odebranej ramki została bezbłędnie dostarczona do punktu przeznaczenia.

Bit E ramki N jest ustawiany (przyjmuje wartość „1”), jeśli realizacja procedury CRC-6 wskazuje na wystąpienie błędów transmisyjnych. W przeciwnym przypadku wartość bitu E powinna być równa „0”.

Szczeliny 67 - 70 są przeznaczone do prowadzenia sygnalizacji zarówno w przypadku trybu wspólnokanałowego jak i skojarzeniowego. Sposób realizacji funkcji sygnalizacyjnych jest w takich przypadkach określony przez specyfikację używanego systemu wymiany informacji służbowych

Jeśli w systemie realizowana jest sygnalizacja w kanale skojarzonym, to wzorcem synchronizacji multiramki jest wpisywana do szczeliny 67 ramki 0 czterobitowa flaga o wartości „0000”, zaś funkcje wypełniane przez zawartość szczelin 67 - 70 w kolejnych ramkach multiramki powinny być zgodne z zestawieniem zawartym w Tab.5.4.

Tablica 5.4. Funkcje zawartości szczelin 67 - 70 kolejnych ramek multiramki

Kanał 64 kbit/s	67		68		69		70	
Ramka								
0	0000xyxx		0000xyxx		0000xyxx		0000xyxx	
1	abcd kanał 1	abcd kanał 16	abcd kanał 31	abcd kanał 46	abcd kanał 61	abcd kanał 76	abcd kanał 91	abcd kanał 106

15	abcd kanał 15	abcd kanał 30	abcd kanał 45	abcd kanał 60	abcd kanał 75	abcd kanał 90	abcd kanał 105	abcd kanał 120

Uwaga:

1. Numery kanałów odpowiadają kolejnym sygnałom telefonicznym 64 kbit/s.
2. W każdym przypadku bity a, b, c i d tworzą 4 kanały sygnalizacyjne o przepływności 500 bitów/s. Zakłócenia przekazu wywołane akcjami systemu transmisyjnego nie powinny być dłuższe niż 2 ms.
3. Jeśli bity b, c, i d nie są wykorzystywane, powinny być ustawione w stan b = „1”, c = „0” i d = „1”. Zalecane jest ponadto unikanie ustawiania na bitach a, b, c i d kanałów 1-15, 31-45, 61-75 i 91-125 stanu „0000”.
4. Wolny bit x powinien być ustawiony w stan „1”. Bit y stanowi pola alarmowe, które w warunkach normalnej pracy systemu powinno przyjmować wartość „0” („1” oznacza stan alarmowy).

4.3.3 Transfer kanałów innych niż 64 kbit/s

Wykorzystanie strumieni 8448 kbit/s do przenoszenia kanałów o przepływnościach innych niż 64 kbit/s stanowi obecnie przedmiot intensywnych studiów.

5. Zakończenia łączy cyfrowych w węzłach komutacyjnych

5.1 Informacje wstępne

Wymagania na interfejsy oraz podstawowe funkcje realizowane przez terminale cyfrowych ścieżek transmisyjnych wchodzące w skład węzłów systemowych zawiera zalecenie G.705, którego odpowiednikiem odnoszącym się do struktury multipleksacji jest rekomendacja G.704. Lokalizacja rozważanych interfejsów stanowi przedmiot zaleceń Q.502 i Q.512.

Terminal łącznicy cyfrowej stanowi synchroniczne urządzenie sieciowe wyposażone w układy synchronizacji ramkowej zgodne z § 8 zalecenia G.811. Potrzeba wypełnienia wymagań sformułowanych w paragrafach 3 i 4 zalecenia G.822 sprawia, że terminal powinien cechować się właściwościami opisanymi w dalszej części rozdziału.

5.2 Terminale cyfrowych ścieżek transmisyjnych 2048 i 8448 kbit/s

Nominalna przepływność binarna sygnału powinna wynosić odpowiednio 2048 (8448) kbit/s, zaś jej wartość powinna być utrzymywana z dokładnością nie gorszą niż ± 50 (30) ppm w każdym kierunku.

Odpowiedni sygnał zegarowy wykorzystywany do synchronizacji procesów wewnętrznych powinien posiadać częstotliwość 2048 (8448) kHz, przy czym w przypadku multiplekserów PCM jego źródłem jest sygnał odbierany, natomiast łącznice powinny wytwarzać go w sposób samodzielny. Jeśli sieć funkcjonuje w trybie synchronicznym, dostarczanie sygnałów zegarowych do jej elementów stanowi zadanie wydzielonego funkcjonalnie podsystemu.

W każdym przypadku parametry interfejsów powinny być zgodne z zapisami § 6 (7) zalecenia G.703. Nie zaleca się ich realizacji jako integralnego wyposażenia łącznicy.

Właściwości transmisyjne ścieżki cyfrowej powinny być identyczne jak w przypadku ścieżek 2048 (8448) kbit/s pomiędzy multiplekserami PCM pierwszego (drugiego) rzędu zwielokrotnienia.

Zasadnicza struktura ramki powinna być zgodna z zapisami zalecenia G.704. Jeżeli pomiędzy węzłami systemowymi powinna być prowadzona rozbudowana wymiana sygnalizacji, do jej przesyłania w trybie wspólnokanałowym mogą być wykorzystane dodatkowe szczeliny czasowe przeznaczone pierwotnie dla potrzeb realizacji transmisji danych. W relacjach międzywęzłowych zawierających więcej niż jedną ścieżkę transmisyjną 2048-kbit/s dopuszcza się prowadzenie sygnalizacji w kanałach innych niż 16 szczelina ramki podstawowej. W takich przypadkach możliwe jest jej wykorzystanie dla potrzeb transmisji sygnałów mowy lub innych przekazów użytkowych. Natomiast wykorzystywana do celów związanych z synchronizacją i wskazywaniem stanów alarmowych szczelina 0 nie powinna prowadzić sygnałów innego typu.

Dopuszczalny wander i jitter sygnałów wejściowych powinny być zgodne z zapisami zalecenia G.823, natomiast dopuszczalna wartość jittera wyjściowego jest obecnie przedmiotem intensywnych studiów.

6. Procedury synchronizacji ramki i wyznaczania wartości CRC.

6.1 Podstawowe informacje o wykorzystaniu procedur CRC

Procedury synchronizacji i wyznaczania wartości kontrolnych CRC dla ramek zdefiniowanych w zaleceniu G.704 zawiera zalecenie G.706, w którego załączniku A przedstawiono powody ich stosowania w systemach transmisyjnych PCM. Zawarte tam zapisy wskazują, że zastosowanie techniki CRC umożliwia zarówno wykrywanie fałszywej synchronizacji ramki, jak i monitoring poziomu błędów transmisyjnych.

Niepoprawne ustanowienie synchronizacji na poziomie ramki transmisyjnej występuje najczęściej w przypadku, gdy użytkownik sieci ISDN dysponujący terminalem transmisji danych wprowadza do przydzielonej mu szczeliny czasowej wzorce bitowe odpowiadające systemowemu sygnałowi synchronizującemu. Ponieważ jednak nie jest on w stanie oddziaływać na kompleksową strukturę multiramki, przetwarzanie bitów CRC w odbiorniku pozwala na szybką likwidację niepoprawnego stanu synchronizacji.

Podstawowym przeznaczeniem pola CRC jest poprawa jakości monitoringu poziomu błędów transmisyjnych, obserwowana szczególnie w przypadkach niskich wartości elementowej stopy błędów (BER poniżej 10^{-6}). Szczególnie ważną właściwością metody estymacji poziomu przekłamań opartej na wykorzystaniu pola CRC jest jej zasięg, obejmujący całość łącza cyfrowego zestawionego pomiędzy źródłem i punktem przeznaczenia transmitowanego sygnału, podczas gdy techniki bazujące na monitoringu zaburzeń kodowych (AMI, HDB3 i in.) są w stanie nadzorować jedynie dołączoną do odbiornika sekcję cyfrową, zaś w wielu przypadkach ich zasięg jest ograniczony jeszcze bardziej i obejmuje tylko łącze samego interfejsu (tj. pomiędzy multiplekserem i zakończeniem centralowym ET).

Elementarne oszacowania wskazują, że w przypadku zastosowania techniki CRC-n do bloków danych o dużej długości, prawdopodobieństwo braku sygnalizacji błędu dąży do wartości 2^{-n} przy dużych wartościach BER, natomiast jest wyraźnie niższe dla łączy dobrej jakości. Wynikająca z opisanego efektu niedokładność estymacji poziomu błędów transmisyjnych nie jest duża i wynosi typowo ok. 6% w przypadku CRC-4 oraz 1.6% dla CRC-6. Wartości te wypełniają z nadmiarem wymagania stawiane technikom monitoringu jakości łączy transmisyjnych. Przekroczenie akceptowalnego poziomu niedokładności może mieć miejsce w przypadkach, w których prawie każdy blok transmitowanych danych zawiera przynajmniej jeden błąd transmisyjny. Stan ten odpowiada wartościom BER większym od ok. 10^{-3} .

6.2 Synchronizacja ramki oraz procedury CRC interfejsu 2048 kbit/s

6.2.1.1 Utrata synchronizacji ramki

Kryterium utraty synchronizacji ramki jest wykrycie trzy razy pod rząd błędnego wzorca synchronizacji. W celu zabezpieczenia się przed przypadkami błędów zaleca się stwierdzać utratę synchronizacji, jeżeli bit 2 szczeliny 0 ramek nie zawierających wzorca synchronizacji zostanie odebrany błędnie w trzech kolejnych przypadkach. Na utratę synchronizacji ramkowej może także wskazywać niemożliwość ustanowienia synchronizacji multiramki lub przekroczenie w zadanym czasie ustalonej ilości zliczeń błędnie odebranych bloków CRC.

6.2.1.2 Ustanowienie synchronizacji ramki

O uzyskaniu synchronizacji na poziomie ramki strumienia 2048 kbit/s świadczy wystąpienie następujących zdarzeń:

- Poprawny odbiór sygnału synchronizacji ramki.
- Brak sygnału synchronizacji w kolejnej ramce.
- Wystąpienie sygnału synchronizacji w następnej ramce.

W celu uniknięcia stanu, w którym fałszywa synchronizacja uniemożliwia osiągnięcie poprawnej pracy systemu, zaleca się wykorzystanie następującego algorytmu: Jeśli w ramach n i $n + 2$ wykryto sygnał synchronizacji oraz stwierdzono jego brak w ramce $n + 1$, to synchronizację można uznać za

ustanowioną. Jednocześnie brak wypełnienia choćby jednego z wymienionych wymagań powinien powodować ponowienie poszukiwań począwszy od ramki $n + 2$.

6.2.1.3 Synchronizacja CRC w szczelinie 0

Uzyskanie wstępnej synchronizacji ramki powinno zostać potwierdzone poprzez detekcję występowania wzorca synchronizacji CRC. Synchronizację ramkową potwierdza przynajmniej dwukrotnie wykrycie wzorca synchronizacji CRC w czasie 8 ms (interwał rozdzielający kolejne wzorce synchronizacji multiramki stanowi całkowitą wielokrotność 2 ms). Poszukiwanie sygnału synchronizacji multiramki powinno być prowadzone w oparciu o ramki nie zawierające wzorca synchronizacji ramkowej.

Jeśli opisane działanie nie zakończy się sukcesem, należy zakładać, że uzyskana synchronizacja była fałszywa i jej poszukiwanie powinno zostać ponowione, począwszy od lokacji następującej po zawierającej fałszywy sygnał synchronizacji.

Działania zmierzające do synchronizacji multiramki mogą doprowadzić do utraty synchronizacji na poziomie ramkowym. W takim przypadku ich ponawianie musi zostać poprzedzone odzyskaniem synchronizacji. Jeśli synchronizacja multiramki w oparciu o CRC nie może być uzyskana w czasie 100 ms do 500 ms, np. z powodu braku implementacji odpowiednich procedur we współpracujących urządzeniach, kolejne akcje powinny ograniczyć się do odzyskania synchronizacji ramkowej.

6.2.1.4 Monitoring bitów CRC

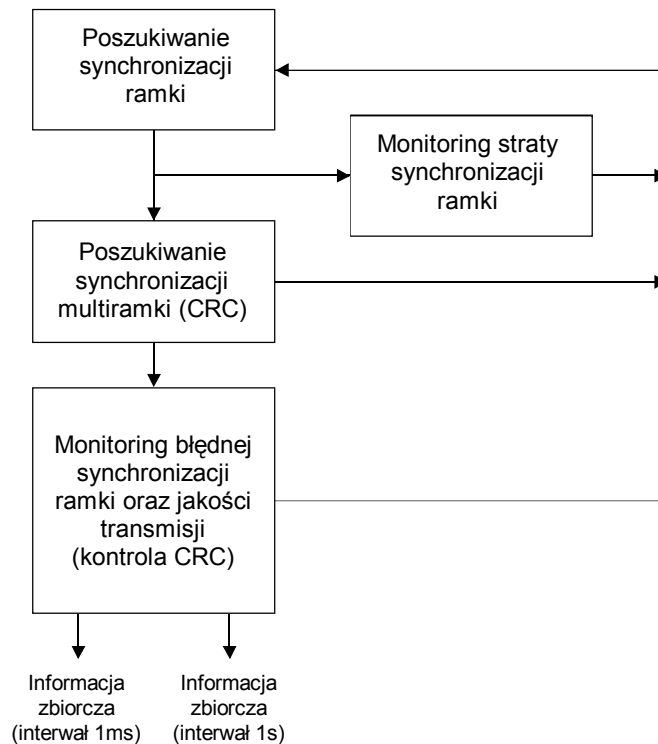
Uzyskanie synchronizacji na poziomie ramkowym i multiramki oznacza, że sterowanie może przystąpić do monitorowania bitów CRC w każdej sub-multiramce (SMF), przy czym procedura monitoringu polega na realizacji następujących kroków:

1. W wyniku procesów przesuwania i dzielenia zawartości odebranej SMF (opisanych w zaleceniu G.704) bity CRC zostają wydzielone i zastąpione wartościami równymi „0”.
2. Reszta z przeprowadzonego dzielenia zostaje zachowana w celu porównania bit po bicie z zawartością pól CRC dostarczonych przez kolejną SMF.
3. Pozytywny wynik testu oznacza brak błędów transmisji w odebranej SMF.

Urządzenia przystosowane do realizacji procedury CRC - 4 powinny posiadać zdolność współpracy z elementami sieciowymi, które jej nie realizują, przy czym współpraca może być uzyskiwana w sposób wymuszony lub automatyczny.

Dzięki prowadzeniu monitoringu jest możliwe ponadto wykrycie fałszywej synchronizacji ramkowej, której wystąpienie może zostać wskazane w ciągu 1 s z prawdopodobieństwem przekraczającym 0.99. W przypadku wykrycia fałszywego zsynchronizowania powinien zostać zainicjowany proces poszukiwawczy, którego bezpodstawne uruchomienie przy losowym rozkładzie błędów i BER rzędu 10^{-3} może nastąpić nie częściej niż raz na 10 000 przypadków. Uzyskanie wymienionych parametrów jest możliwe pod warunkiem, że próg startowy jest określony na poziomie 0.915 tj. poszukiwanie rozpoczyna się, gdy 915 lub więcej bloków CRC spośród 1000 odebranych zawiera błędy transmisyjne.

Funkcjonalne powiązania pomiędzy procedurami realizowanymi począwszy od poszukiwania wzorca synchronizacji ramki aż do fazy monitoringu realizowanego techniką przetwarzania pól CRC ilustruje schemat przedstawiony na rys. 7.1.



Rys. 7.1. Procedury synchronizacji i monitoringu

Zgodnie z przedstawionym schematem, informacje o stanie monitoringu CRC są udostępniane w postaci:

- bezpośredniej, gdy wskazywany jest każdy przypadek wystąpienia błędów;
- zbiorczej, kiedy liczba przekłamań jest wyznaczana dla interwału 1 s (może zmieniać się od 0 do 1000 zliczeń).

Ponowione poszukiwanie wzorca synchronizacji ramki powinno rozpoczynać się od lokacji następującej po zawierającej fałszywy sygnał synchronizacji. Zastosowanie powyższej zasady umożliwi zazwyczaj uniknięcie ponownej błędnej synchronizacji.

6.3 Synchronizacja ramki oraz procedury CRC interfejsu 8448 kbit/s

Tryb synchronizacji ramki oraz procedury CRC interfejsu 8448 kbit/s stanowią obecnie przedmiot intensywnych studiów.

7. Strumień grupowy PCM 2048 kbit/s

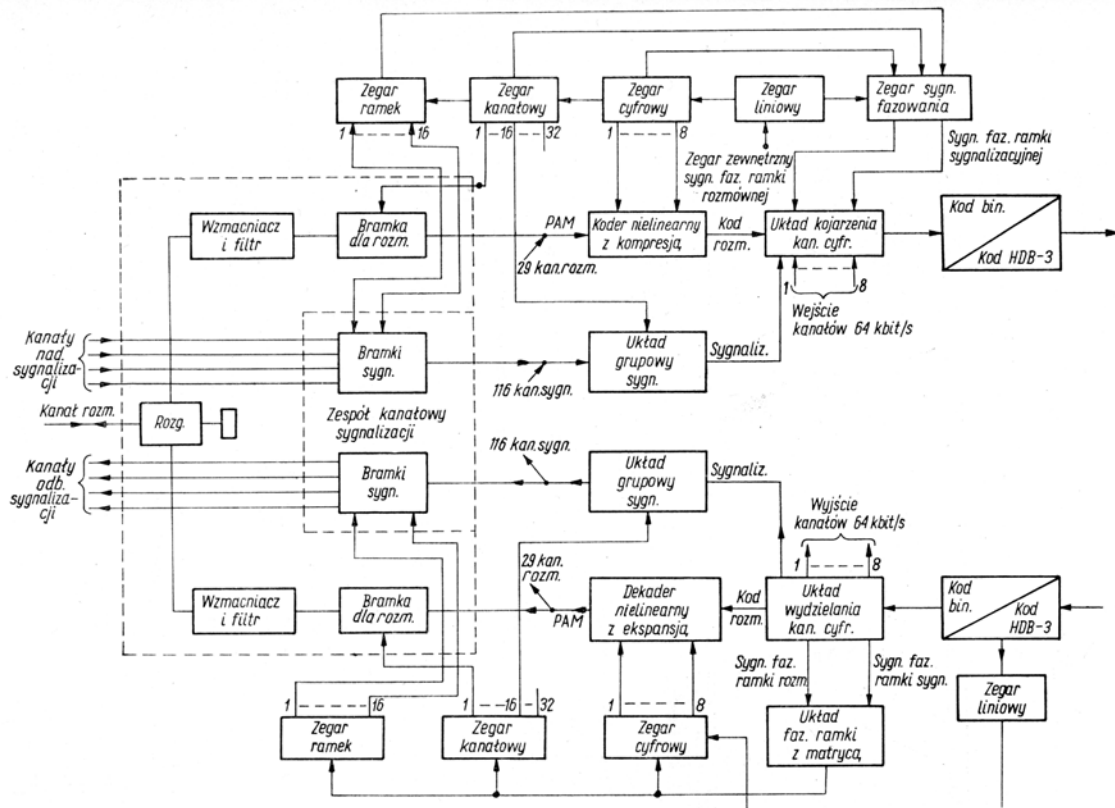
7.1 Charakterystyki wyposażenia multipleksacji grupy pierwotnej

7.1.1 Informacje podstawowe

W wyniku działalności ITU opracowane zostały zalecenia, obejmujące hierarchicznie całość systemów o zwielokrotnieniu cyfrowym z dopełnieniem dodatnim. W hierarchii opartej na systemach PCM o przepływności 2048 kbit/s przyjęto tworzenie sygnału zbiorczego z czterech sygnałów wejściowych, z przeplataniem ich elementów. W ten sposób dla systemów drugiego, trzeciego i czwartego rzędu przyjęto odpowiednio przepływności 8448, 34 368 i 139 264 kbit/s. Charakterystyka urządzeń przeznaczonych do obsługi podstawowego strumienia PCM 2048 kbit/s zawarta jest w zaleceniu G.732.

Kodowanie danych prowadzone jest zgodnie z przedstawionym w zaleceniu G.711 prawem (zasadą) A, zaś liczba wyróżnianych poziomów kodowych jest równa 256.

Nominalna szybkość transmisji 2048 kbit/s powinna być utrzymywana z tolerancją ± 50 ppm, przy czym przebieg zegarowy może być generowany wewnątrz urządzenia, doprowadzany zewnętrznie, albo odzyskiwany z danych odbieranych. Schemat blokowy systemu PCM 30 przedstawiono na rys. 8.1.



Rys.8.1 Uproszczony schemat blokowy systemu PCM 30

Strukturę ramki transmisyjnej, a w tym przyporządkowanie szczelin kanałowych zawiera zalecenie G.704. Jeśli przeznaczona do prowadzenia sygnalizacji szczelina 16 nie jest wykorzystywana, może być przeznaczona do realizacji innych zadań w ramach multipleksera.

Sposób uzyskiwania synchronizacji ramkowej powinien być zgodny z zapisami zawartymi w § 4.1 zalecenia G.706.

Sterowanie multipleksera powinno być zdolne do wykrywania następujących niesprawności:

1. Uszkodzenie źródła zasilania.
2. Uszkodzenie kodeka (chyba, że stosowane są indywidualne kodeki kanałowe). Stan awaryjny występuje, jeśli choćby dla jednego sygnału o poziomie -21 do -6 dBm₀ stosunek

sygnał/zniekształcenia kwantyzacji obniży się o 18 lub więcej dB w stosunku do poziomu wymaganego przez zalecenie G.712.

3. Zanik sygnału na wejściowym porcie 64 kbit/s lub w szczelinie 16 (sygnalizacyjnej). Zadanie to nie musi być realizowane w przypadku wykorzystania sygnalizacji skojarzonej z kanałem (CAS), jeśli element obsługi sygnalizacji znajduje się w pobliżu multiplexera PCM.
4. Zanik odbieranego sygnału 2048 kbit/s, który musi być wykrywany tylko w przypadku, gdy nie powoduje alarmu utraty synchronizacji ramkowej.
5. Utrata synchronizacji ramkowej.
6. Przekroczenie dopuszczalnej stopy błędów sygnału synchronizacji ramkowej. W szczególności wymaga się aby przy losowym rozkładzie błędów prawdopodobieństwo generacji alarmu dla $BER \leq 10^{-4}$ było mniejsze niż 10^{-6} , natomiast prawdopodobieństwo jego dezaktywacji w ciągu 4 - 5 s przekraczało 0.95. Podobnie przy $BER \geq 10^{-3}$, prawdopodobieństwo wystąpienia alarmu musi być większe niż 0.95, zaś jego stan powinien być utrzymany do momentu poprawy stanu łącza.
7. Wskazania stanu alarmowego odebranego od współpracującego oddalonego multiplexera PCM.

Odpowiednio do rodzaju wykrytej niesprawności podejmowane są niezbędne akcje interwencyjne, wśród których wymienia się kolejno:

1. Wskazanie alarmu usługowego, które informuje, że wyposażenie nie jest w stanie realizować wymaganych działań. Wskazanie to powinno być przekazane do współpracującego węzła komutacyjnego lub multiplexera w czasie nie dłuższym niż 2 ms od chwili wystąpienia sygnalizowanej niesprawności. Przyjmuje się ponadto, że średni czas od wykrycia utraty synchronizacji ramkowej do generacji jego wskazania nie powinien przekraczać 3 ms. W przypadku wykorzystania sygnalizacji we wspólnym kanale wskazanie alarmu jest przekazywane do współpracującego komutatora za pośrednictwem wydzielonego interfejsu komunikacyjnego.
2. Wskazanie alarmu systemu utrzymania (WASU), informujące lokalne funkcje utrzymania o potrzebie podjęcia akcji naprawczych. Wykrycie sygnału wskazania alarmu (*Alarm Indication Signal - AIS*) powinno powodować blokadę generacji WASU związanych z utratą synchronizacji ramkowej oraz przekroczeniem dopuszczalnej stopy błędów, podczas gdy pozostałe akcje powinny być zgodne z wykazem zawartym w Tab.8.1.
3. Przekazanie informacji o stanie awaryjnym do jednostki współpracującej, które polega na zmianie stanu bitu 3 szczeliny 0 z „0” na „1” w ramach nie przenoszących wzorca synchronizacji. Zmiana ta powinna zostać wprowadzona tak szybko, jak tylko jest to możliwe.
4. Wstrzymanie przekazu na wyjściach analogowych.
5. Wstawienie sygnału wskazania alarmu (AIS) do szczeliny 16 wyjścia 64 kbit/s. Działanie to powinno zostać wykonane możliwie szybko, nie później niż 2 ms od chwili wystąpienia awarii.
6. Wstawienie sygnału wskazania alarmu (AIS) do zespolonego sygnału 2048 kbit/s (jeśli prowadzony jest nadzór odbieranych strumieni 64 kbit/s).

Realizacja wymienionych działań powinna uwzględniać następujące okoliczności:

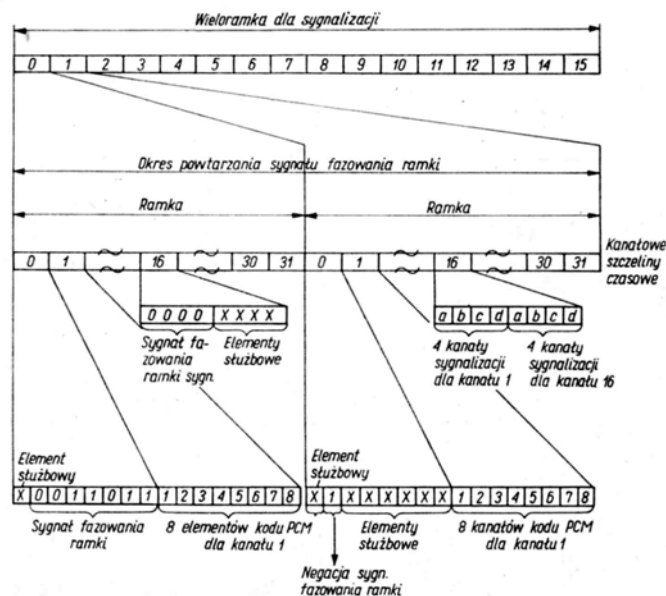
1. Lokalizacja oraz sposób organizacji powiadamiania akustycznego i optycznego o wystąpieniu okoliczności powodujących potrzebę działań zgodnie z pkt. 1 i 2 mogą być ustalane indywidualnie, w sposób odzwierciedlający specyfikę lokalną.
2. Stan sygnału wskazania alarmu (AIS) odpowiada ciągłemu nadawaniu na ustalonych pozycjach ramki bitów o wartości logicznej „1”, których wystąpienie powinno być w sposób gwarantowany wykrywane przy stopie błędów mniejszej lub równej 10^{-3} . Równocześnie wykorzystywany algorytm detekcji powinien zapobiegać wystąpieniu fałszywego alarmu dla ramek wypełnionych poza szczeliną synchronizacyjną bitami o wartościach „1”.
3. Procedura przywracania normalnych warunków pracy po usunięciu przyczyny awarii powinna uwzględniać konieczność odzyskania uprzedniego stanu przebiegów zegarowych.

Tablica 8.1. Stany awaryjne i akcje alarmowe systemu PCM 2048 kbit/s

Element wyposażenia	Rodzaj niesprawności	Podejmowane akcje					
		Wskazanie alarmu	Wskazanie alarmu systemu utrzymania	Przekazanie alarmu do jednostki współpracującej	Wstrzymanie przekazu na wyjściach analogowych	Wprowadzenie AIS do wyjścia 64 kbit/s (szczelina 16)	Wprowadzenie AIS do sygnału 2048 kbit/s
Multiplexer i demultiplexer	Niesprawność źródła zasilania	Tak	Tak	Tak jeśli wykonalne	Tak jeśli wykonalne	Tak jeśli wykonalne	Tak jeśli wykonalne
	Niesprawność kodeka	Tak	Tak	Tak	Tak		
Tylko multiplexer	Zanik sygnału w szczelinie 16 wejścia 64 kbit/s		Tak				Tak
Tylko demultiplexer	Zanik sygnału 2048 kbit/s	Tak	Tak	Tak	Tak	Tak	
	Utrata synchronizacji ramki	Tak	Tak	Tak	Tak	Tak	
	Stopa błędów sygnału synchronizacji ramki $\geq 10^{-3}$	Tak	Tak	Tak	Tak	Tak	
	Odbiór alarmu od elementu współpracującego	Tak					

7.1.2 Sygnalizacja

Odpowiednio do zapisów zawartych w zaleceniu G.704, 16 szczelina czasowa ramki 2048 kbit/s może być wykorzystana do prowadzenia abonenckiej sygnalizacji w kanale wspólnym (CCS) lub skojarzonym (ACS). W obydwu przypadkach wykorzystywana jest nadrzędna struktura określana mianem multiramki, która składa się z 16 kolejnych ramek podstawowych. Organizację multiramki ilustruje rys. 8.2.



Rys. 8.2. Struktura multiramki systemu PCM 30

Kryterium utraty synchronizacji wieloramki z sygnalizacją typu ACS jest wykrycie dwa razy pod rząd błędnego sygnału synchronizacji. Ponowne ustanowienie synchronizmu następuje w chwili jego

pierwszego poprawnego odbioru. W celu zabezpieczenia się przed przypadkami błędnej synchronizacji zaleca się realizację następującego algorytmu:

- Utratę synchronizacji należy domniemywać, jeśli w ciągu jednej lub dwóch multiramki stwierdza się wypełnienie szczeliny 16 bitami o wartościach „0”.
- Na przywrócenie synchronizacji wskazuje obecność przynajmniej jednego bitu o wartości „1” w szczelinie 16 ramki poprzedzającej pierwszy poprawny sygnał synchronizacji.

W przypadku sygnalizacji we wspólnym kanale (ACS) sterowanie multipleksera sygnalizacji powinno wykrywać następujące niesprawności:

1. Uszkodzenie źródła zasilania.
2. Zanik sygnału na wejściowym porcie 64 kbit/s demultipleksera sygnalizacji. Zadanie to nie musi być realizowane, jeśli element obsługi sygnalizacji znajduje się w pobliżu multipleksera PCM, lub jeśli zanik sygnału jest wynikiem wskazania utraty synchronizacji wieloramki. Dodatkowo, jeśli sygnały cyfrowy i synchronizacja wykorzystują oddzielne obwody, brak jednego z nich (lub obydwu) oznacza zanik sygnału odbieranego.
3. Utrata synchronizacji multiramki.
4. Wskazania stanu alarmowego odebranego od oddalonego multipleksera sygnalizacji.
5. Odebranie wskazania alarmu usługowego od multipleksera PCM

Odpowiednio do rodzaju wykrytej niesprawności podejmowane są niezbędne akcje interwencyjne, które obejmują:

1. Wskazanie alarmu usługowego, które powinno być przekazane do współpracującego węzła komutacyjnego
2. Wskazanie alarmu systemu utrzymania (WASU), informujące lokalne funkcje utrzymania o potrzebie podjęcia akcji naprawczych. Wykrycie sygnału wskazania alarmu (AIS) powinno powodować blokadę generacji WASU związanych z utratą synchronizacji multiramki.
3. Przekazanie informacji o stanie awaryjnym do współpracującej jednostki sygnalizacyjnej, które polega na zmianie stanu bitu 6 szczeliny 16 ramki 0 z „0” na „1”. Zmiana ta powinna zostać wprowadzona tak szybko, jak tylko jest to możliwe.
4. Ustanowienie warunków odpowiadających stanowi „1” na liniach odbiorczych wszystkich kanałów sygnalizacyjnych. Zadanie to powinno być wykonane nie później niż 3 ms po wykryciu stanu awarii.

Realizacja wymienionych działań powinna uwzględniać następujące okoliczności:

1. Lokalizacja oraz sposób organizacji powiadamiania akustycznego i optycznego o wystąpieniu okoliczności powodujących potrzebę działań zgodnie z pkt. 1 i 2 mogą być ustalane indywidualnie, w sposób odzwierciedlający specyfikę lokalną.
2. Procedura przywracania normalnych warunków pracy po usunięciu przyczyny awarii powinna uwzględniać konieczność odzyskania poprzedniego stanu przebiegów zegarowych.

Tablica 8.2. Stany awaryjne i akcje alarmowe systemu sygnalizacji 2048 kbit/s

Element wyposażenia	Rodzaj niesprawności	Podejmowane akcje			
		Wskazanie alarmu	Wskazanie alarmu systemu utrzymania	Przekazanie alarmu do jednostki współpracującej	Ustanowienie warunków odpowiadających stanowi „1” we wszystkich kanałach sygnalizacyjnych
Multipleksler i demultipleksler	Uszkodzenie źródła zasilania	Tak	Tak	Tak jeśli wykonalne	Tak jeśli wykonalne
Tylko demultipleksler	Utrata sygnału odbieranego	Tak	Tak	Tak	Tak
	Utrata synchronizacji multiramki	Tak	Tak	Tak	Tak
	Odbiór alarmu od współpracującego elementu sygnalizacyjnego	Tak			Tak

	Odbiór alarmu usługowego od multiplexera PCM	Tak			Tak
--	--	-----	--	--	-----

7.1.3 Interfejsy

Sposób realizacji interfejsów analogowych powinien być zgodny z zaleceniem G.712, natomiast styki cyfrowe definiuje zalecenie G.703, które z uwagi na kierunki przepływu danych i synchronizacji rozróżnia ich aplikacje współbieżne, scentralizowane i przeciwbieżne. Podstawowa specyfikacja cyfrowych interfejsów strumieni 64 kbit/s nie obowiązuje w przypadku wykorzystania sygnalizacji w kanale skojarzonym.

7.1.4 Jitter

7.1.4.1 Jitter na wyjściu 2048 kbit/s

W przypadku, gdy sygnał nadawany jest z zegarem uzyskiwanym z wewnętrznego źródła, międzyszczytowy jitter wyjścia 2048 kbit/s dla zakresu pomiarowego od $f_l = 20 \text{ Hz}$ do $f_u = 100 \text{ kHz}$ nie może przekraczać 0.05 UI.

7.1.4.2 Jitter na wyjściu 64 kbit/s (interfejs zgodny z G.703)

Jeśli odbierany sygnał 2048 kbit/s pozbawiony jest jittera, jego międzyszczytowa wartość obserwowana na wyjściu 64 kbit/s w zakresie $f_l = 20 \text{ Hz}$ do $f_u = 10 \text{ kHz}$ nie powinna przekraczać 0.025 UI (zgodnie z zaleceniem O.151, pomiar przy pseudolosowej sekwencji $2^{15} - 1$ na wejściu 2048 kbit/s). Ponadto, w celu uniknięcia wystąpienia sygnału AIS na wyjściu 64 kbit/s wymagane jest wprowadzenie do danych testowych sygnału synchronizacji ramkowej.

Przenik jittera pomiędzy wejściem 2048 kbit/s i wyjściem 64 kbit/s nie powinien przekraczać w zakresie f_0 i 10 kHz wartości -29.6 dB. Częstotliwość f_0 powinna być możliwie niska np. 10 Hz, zaś jej wartość wynika głównie z ograniczeń technicznych sprzętu pomiarowego.

Uwagi dodatkowe

1. Sygnał testowy 2048 kbit/s w teście przenikowym powinien być modulowany jitterem sinusoidalnym, zaś jego zawartość binarna powinna wynosić 1000.
2. W celu uniknięcia wystąpienia sygnału AIS na wyjściu 64 kbit/s wymagane jest wprowadzenie do danych testowych sygnału synchronizacji ramkowej.
3. Wywołana demultipleksacją redukcja jittera do 1/32 odpowiada w mierze decybelowej - 30.1 dB.

7.2 Cyfrowa multipleksacja synchroniczna

7.2.1 Informacje podstawowe

Charakterystyki techniczne urządzeń przeznaczonych do realizacji cyfrowej multipleksacji synchronicznej do 31 podrzędnych kanałów 64 kbit/s lub $n \times 64 \text{ kbit/s}$ w pojedynczy strumień 2048 kbit/s zawiera zalecenie G.736.

Nominalna szybkość transmisji 2048 kbit/s powinna być utrzymywana z tolerancją $\pm 50 \text{ ppm}$, przy czym przebieg zegarowy może być generowany wewnątrz urządzenia, doprowadzany zewnętrznie, albo odzyskiwany z odbieranych danych 2048 kbit/s.

Strukturę ramki transmisyjnej 2048 kbit/s zawiera zalecenie G.704, zgodnie z którym pierwszy bit każdej ramki jest przeznaczony do realizacji procedury nadzorczej, wykorzystującej resztę kodową CRC. Jeśli szczelina 16 jest przeznaczona do realizacji zadań wewnętrznych, nie może być przeznaczona do prowadzenia dodatkowego kanału 64 kbit/s.

7.2.2 Synchronizacja ramki oraz procedury CRC

Kryterium utraty synchronizacji ramki jest wykrycie trzy razy pod rząd błędnego wzorca synchronizacji, natomiast na powrót do stanu normalnej pracy wskazuje wystąpienie następujących zdarzeń:

- Poprawny odbiór sygnału synchronizacji ramki.
- Brak sygnału synchronizacji w kolejnej ramce.
- Wystąpienie sygnału synchronizacji w następnej ramce.

Szczegółowy opis procedur stosowanych w celu ustanowienia synchronizacji ramkowej sygnału 2048 kbit/s zawiera zalecenie G.706.

7.2.3 Stany awaryjne oraz działania interwencyjne

Sterowanie urządzeń przeznaczonych do realizacji cyfrowej multipleksacji synchronicznej powinno być zdolne do wykrywania następujących niesprawności:

1. Uszkodzenia źródła zasilania.
2. Zanik sygnału na wejściowym porcie 64 kbit/s. Zadanie to nie musi być realizowane w przypadku wykorzystania schematu pracy przeciwbieżnej.
3. Zanik odbieranego sygnału 2048 kbit/s, który musi być wykrywany tylko w przypadku, gdy nie powoduje alarmu utraty synchronizacji ramkowej. Jeśli dane i zegar dostarczane są na odrębnych wprowadzeniach, sygnalizacja powinna dotyczyć zaniku każdego sygnału.
4. Utrata synchronizacji ramkowej sygnału 2048 kbit/s.
5. Przekroczenie dopuszczalnej stopy błędów sygnału synchronizacji ramkowej. W szczególności wymaga się aby przy losowym rozkładzie błędów prawdopodobieństwo generacji alarmu dla $BER \leq 10^{-4}$ było mniejsze niż 10^{-6} , natomiast prawdopodobieństwo jego dezaktywacji w ciągu 4 - 5 s przekraczało 0.95. Podobnie przy $BER \geq 10^{-3}$, prawdopodobieństwo wystąpienia alarmu musi być większe niż 0.95, zaś jego stan powinien być utrzymany do momentu poprawy stanu łącza.
6. Zanik sygnału zegarowego
7. Wskazania stanu alarmowego odebranego od oddalonego urządzenia współpracującego

Odpowiednio do rodzaju wykrytej niesprawności podejmowane są niezbędne akcje interwencyjne, wśród których wymienia się kolejno:

1. Wskazanie alarmu systemu utrzymania (WASU), informujące lokalne funkcje utrzymania o potrzebie podjęcia akcji naprawczych. Wykrycie sygnału wskazania alarmu (AIS) powinno powodować blokadę generacji WASU związanych z utratą synchronizacji ramkowej oraz przekroczeniem dopuszczalnej stopy błędów, podczas gdy pozostałe akcje powinny być zgodne z wykazem zawartym w Tab.8.3.
2. Przekazanie informacji o stanie awaryjnym do jednostki współpracującej, które polega na zmianie stanu bitu 3 szczeliny 0 z „0” na „1” w ramach nie przenoszących wzorca synchronizacji. Zmiana ta powinna zostać wprowadzona tak szybko, jak tylko jest to możliwe.
3. Wstawienie sygnału wskazania alarmu (AIS) do szczelin wyjściowych 64 kbit/s oraz ustawienie bitów *abcd* szczeliny 16 w stan „1”. Działanie to powinno zostać wykonane możliwie szybko, nie później niż 2 ms od chwili wystąpienia awarii.
4. Wstawienie sygnału wskazania alarmu (AIS) do zespolonego sygnału 2048 kbit/s (jeśli prowadzony jest nadzór odbieranych strumieni 64 kbit/s).

Tablica 8.3. Stany awaryjne i akcje interwencyjne systemu 2048 kbit/s

Element wyposażenia	Rodzaj niesprawności	Podejmowane akcje				
		Wskazanie alarmu systemu utrzymania	Przekazanie alarmu do jednostki współpracującej		Wprowadzenie AIS do wyjść 64 kbit/s Stan „1” w szczeliny 16 (Uwaga 1)	Wprowadzenie AIS do sygnału 2048 kbit/s Stan „1” w szczeliny 16 (Uwaga 1)
			Alarm „w przód”	Alarm „wstecz”		
Multiplexer i demultiplexer	Niesprawność źródła zasilania	Tak	Tak jeśli wykonalne	Tak jeśli wykonalne	Tak jeśli wykonalne	Tak jeśli wykonalne
	Zanik sygnału zegara	Tak	Tak (Uwaga 2)	Tak (Uwaga 2)		
Tylko multiplexer	Zanik sygnału wejść 64 kbit/s	Tak				Tak
Tylko demultiplexer	Zanik sygnału 2048 kbit/s	Tak	Tak		Tak	
	Utrata synchronizacji ramki	Tak	Tak		Tak	
	Stopa błędów synchronizacji ramki $\geq 10^{-3}$	Tak	Tak		Tak	
	Odbiór alarmu od elementu współpracującego					
<p>Uwagi</p> <p>1 Realizowane jeśli szczelina 16 jest wykorzystywana przez CAS lub nadzór i utrzymanie kanałów abonenckich</p> <p>2 Wykorzystanie bitu 3 szczeliny 0 nie jest możliwe (blokuje akcje podejmowane przez urządzenie współpracujące). Sposób powiadamiania jest przedmiotem studiów.</p>						

Realizacja wymienionych działań powinna uwzględniać następujące okoliczności:

1. Lokalizacja oraz sposób organizacji powiadamiania akustycznego i optycznego o wystąpieniu okoliczności powodujących potrzebę działań zgodnie z pkt. 1 mogą być ustalone indywidualnie, w sposób odzwierciedlający specyfikę lokalną.
2. Stan sygnału wskazania alarmu (AIS) odpowiada ciągłemu nadawaniu na ustalonych pozycjach ramki bitów o wartości logicznej „1”, których wystąpienie powinno być w sposób gwarantowany wykrywane przy stopie błędów mniejszej lub równej 10^{-3} . Równocześnie wykorzystywany algorytm detekcji powinien zapobiegać wystąpieniu fałszywego alarmu dla ramek wypełnionych poza szczeliną synchronizacyjną bitami o wartościach „1”.
3. Procedura przywracania normalnych warunków pracy po usunięciu przyczyny awarii powinna uwzględniać konieczność odzyskania uprzedniego stanu przebiegów zegarowych.

7.2.4 Interfejsy

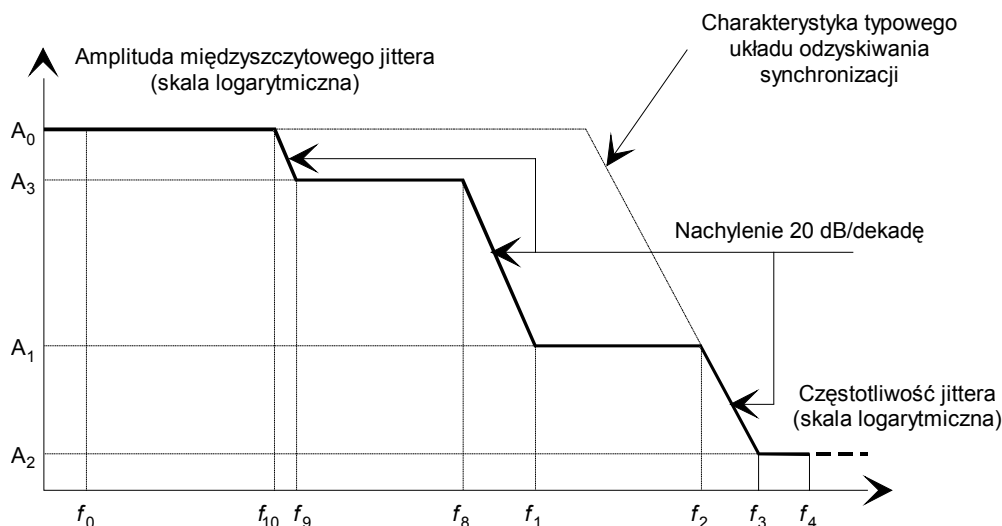
Sposób realizacji interfejsów zegara oraz sygnałów cyfrowych definiuje zalecenie G.703, zawierające informacje dotyczące zarówno zbiorczego strumienia 2048 kbit/s, jak i styków sygnałów podstawowych $n \times 64$ kbit/s, które mogą być realizowane jako współbieżne lub przeciwbieżne.

W przypadku realizacji interfejsów 64 kbit/s w trybie współbieżnym, implementacja ich portów wejściowych powinna uwzględniać potrzebę utrzymania synchronizacji danych na poziomie pojedynczych bajtów (z uwagi na wymaganie poprawnego odtwarzania sygnałów PCM). Zagadnienie to jest szczególnie ważne przy występowaniu plezjochronizmu zegarów odbiorczych, który prowadzi do relatywnie częstego występowania poślizgów.

7.2.5 Jitter

7.2.5.1 Jitter na wyjściu 2048 kbit/s

W przypadku, gdy sygnał nadawany jest z zegarem uzyskiwanym z wewnętrznego źródła, międzyszczytowy jitter wyjścia 2048 kbit/s dla zakresu pomiarowego od $f_1 = 20 \text{ Hz}$ do $f_4 = 100 \text{ kHz}$ (rys. 8.3) nie powinien przekraczać 0.05 UI (G.823).



Rys. 8.3. Dolne granice maksymalnej tolerancji na jitter i wander

W przypadku, gdy sygnał nadawany jest z zegarem uzyskiwanym z zewnętrznego źródła pozbawionego jittera, międzyszczytowy jitter wyjścia 2048 kbit/s dla zakresu pomiarowego od $f_1 = 20 \text{ Hz}$ do $f_4 = 100 \text{ kHz}$ nie powinien przekraczać 0.05 UI.

W przypadku, gdy sygnał nadawany jest z zegarem uzyskiwanym z odbieranego sygnału zbiorczego 2048 kbit/s pozbawionego jittera, międzyszczytowy jitter wyjścia 2048 kbit/s dla zakresu pomiarowego od $f_1 = 20 \text{ Hz}$ do $f_4 = 100 \text{ kHz}$ nie powinien przekraczać 0.10 UI.

Sekwencją testową doprowadzaną w celach pomiarowych do wejścia 2048 kbit/s powinien być w każdym przypadku pseudolosowy ciąg $2^{15}-1$ zgodny z zaleceniem O.151. W celu uniknięcia wystąpienia sygnału AIS na wyjściu 64 kbit/s wymagane jest wprowadzenie do danych testowych sygnału synchronizacji ramkowej.

7.2.5.2 Jitter na wyjściach podrzędnych

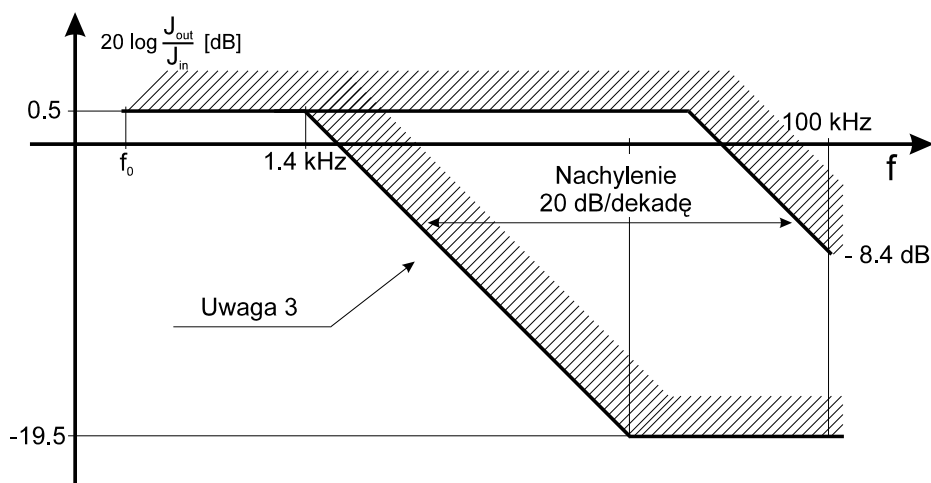
Jeśli odbierany sygnał 2048 kbit/s pozbawiony jest jittera, jego międzyszczytowa wartość obserwowana na wyjściach 64 kbit/s w zakresie $f_1 = 20 \text{ Hz}$ do $f_4 = 10 \text{ kHz}$ nie powinna przekraczać 0.025 UI (zgodnie z zaleceniem O.151, pomiar przy pseudolosowej sekwencji $2^{15} - 1$ na wejściu 2048 kbit/s).

Jeśli odbierany sygnał 2048 kbit/s pozbawiony jest jittera, wartość międzyszczytowego jittera obserwowana na wyjściu podrzędnym 2048 kbit/s w zakresie $f_1 = 20 \text{ Hz}$ do $f_4 = 10 \text{ kHz}$ nie powinna przekraczać 0.10 UI

Ponadto, w celu uniknięcia wystąpienia sygnału AIS na wyjściu 64 kbit/s wymagane jest wprowadzenie do danych testowych sygnału synchronizacji ramkowej.

7.2.5.3 Przeniki jittera

Przenik jittera pomiędzy sygnałem na wejściu zewnętrznego zegara 2048 kbit/s i wyjściem 2048 kbit/s nie powinien przekraczać poziomów zgodnych z przedstawionymi na rys. 8.4. Sygnał 2048 kHz powinien być modulowany jitterem sinusoidalnym, co dotyczyć może również wyjść podrzędnych $n \times 64 \text{ kbit/s}$.

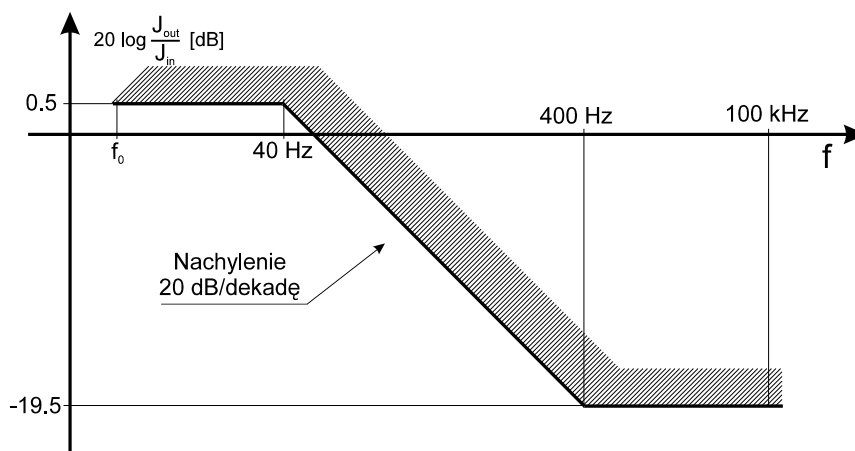


Rys. 8.4. Dopuszczalne przeniki jittera bez wymaganej redukcji

Uwaga

1. Częstotliwość f_0 powinna być możliwie niska np. 10 Hz, zaś jej wartość powinna wynikać z ograniczeń technicznych sprzętu pomiarowego.
2. W celu uzyskania wyników obciążonych możliwie małym błędem zalecane jest stosowanie selektywnej techniki pomiarowej przy szerokości pasma dostosowanej do częstotliwości aktualnie badanego punktu pomiarowego, lecz w żadnym przypadku nie większej niż 40 Hz.
3. Charakterystyka dopuszczona do użytku w sieciach krajowych

Niektóre Administracje wymagają, aby używane w ich sieci wyposażenie posiadało zdolność redukcji wartości jittera. W takich przypadkach powinien on mieścić się w granicach przedstawionych na rys. 8.5.



Rys. 8.5. Dopuszczalne przeniki jittera w warunkach wymaganej redukcji

Uwaga

1. Częstotliwość f_0 powinna być możliwie niska np. 10 Hz, zaś jej wartość powinna wynikać z ograniczeń technicznych sprzętu pomiarowego.
2. W celu uzyskania wyników obciążonych możliwie małym błędem zalecane jest stosowanie selektywnej techniki pomiarowej przy szerokości pasma dostosowanej do częstotliwości aktualnie badanego punktu pomiarowego, lecz w żadnym przypadku nie większej niż 40 Hz.

W przypadkach, gdy sygnał nadawany wykorzystuje zegar odtwarzany z danych odbieranych, przenik jittera pomiędzy wejściem i wyjściem 2048 kbit/s lub podrzędnymi sygnałami $n \times 64$ kbit/s powinien być zgodny z charakterystyką przedstawioną na rys. 8.4.

Przenik jittera pomiędzy wejściem 2048 kbit/s i wyjściem 64 kbit/s nie powinien przekraczać w zakresie f_0 i 10 kHz wartości -29.6 dB. Częstotliwość f_0 powinna być możliwie niska np. 10 Hz, zaś jej wartość wynika głównie z ograniczeń technicznych sprzętu pomiarowego.

Uwagi dodatkowe

1. Sygnał testowy 2048 kbit/s w teście przenikowym powinien być modulowany jitterem sinusoidalnym, zaś jego zawartość binarna powinna wynosić 1000.
2. W celu uniknięcia wystąpienia sygnału AIS na wyjściach 64 kbit/s i $n \times 64$ kbit/s wymagane jest wprowadzenie do danych testowych sygnału synchronizacji ramkowej.
3. W przypadku wprowadzeń podrzędnych 64 kbit/s, wywołana demultipleksacją redukcja jittera do $1/32$ jest równa w mierze decybelowej - 30.1 dB.

8. Strumień grupowy 8448 kbit/s

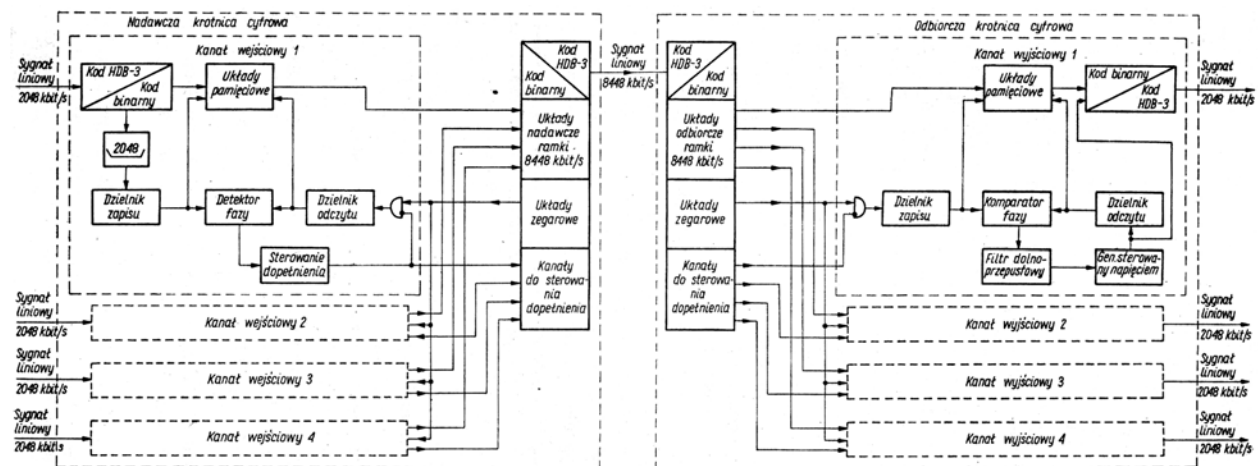
8.1 Sygnały podrzędne i wynikowe

8.1.1 Informacje podstawowe

Celem wprowadzenia drugiego poziomu zwielokrotnienia jest usprawnienie wymiany danych pomiędzy węzłami obsługującymi podstawowe strumienie cyfrowe 2048 kbit/s. Charakterystyka urządzeń przeznaczonych do obsługi strumienia PCM 8448 kbit/s zawarta jest w zaleceniu G.742 ITU.

Przy tworzeniu ramek przyjęto skupiony sygnał fazowania ramki R oraz rozproszone kanały utworzone z elementów C_{ij} , przeznaczone do przesyłania informacji o procesie dopełniania, w których przesyła się powtórzoną i -krotnie (trzykrotnie w systemach 8 i 34 Mbit/s lub pięciokrotnie w systemie 140 Mbit/s) informację o dopełnianiu dla każdego j -tego sygnału wejściowego ($j = 1, 2, 3$ i 4). Dzięki temu zabezpiecza się tę informację odpowiednio przed jedno- lub dwukrotnym przekłamaniami podczas przesyłania przez trakt liniowy. Kanały te dzielą ramkę na cztery lub sześć sekcji, w których występują elementy I_j przeznaczone do przesyłania j -tych elementów sygnałów wejściowych.

Przed ostatnią sekcją elementów I_j znajdują się elementy S_j (po jednym dla każdego sygnału wejściowego), które - zależnie od potrzeby i wynikającej z tego informacji zawartej w elementach C_{ij} - przenoszą elementy sygnałów wejściowych lub też tych elementów nie niosą (i są wówczas elementami dopełniającymi). Uproszczony schemat blokowy systemu PCM 8448 kbit/s przedstawiono na rys. 9.1.



Rys 9.1. Uproszczony schemat blokowy systemu PCM 8448 kbit/s

Proces tworzenia ramki wymaga, aby w krotnicy nadawczej dla każdego sygnału wejściowego były przewidziane odpowiednie odrębne układy pamięciowe (rys. 2.1), które gromadzą elementy wejściowe na czas potrzebny do ich wprowadzania do ramki; należy przy tym pamiętać, że w ramce występują luki dla elementów R i C . Wpisywanie elementów do komórek pamięci jest dokonywane za pomocą dzielnika zapisu, sterowanego sygnałem taktowania (wydzielanym z sygnału wejściowego). Odczyt z pamięci jest dokonywany za pomocą dzielnika odczytu, sterowanego z zegarów krotnicy; impulsy na wyjściu tego dzielnika występują w chwilach przewidzianych na przeniesienie elementów informacji do ramki sygnału zbiorczego na pozycjach przyporządkowanych elementom I i S . Tym sposobem odczyt nie zachodzi w czasie występowania elementów R i C . W czasie każdej ramki kontrolowany jest w detektorze fazy stopień zapełnienia pamięci. Jeżeli grozi przepełnienie pamięci, to odczytuje się dodatkowe elementy i wprowadza do pola S . Jeżeli grozi opróżnienie, to elementu S nie wykorzystuje się, zatrzymując w czasie jego występowania proces odczytu. Każdej z tych czynności towarzyszy odpowiedni rozkaz przesyłany przez elementy C . Decyzja o wytworzeniu odpowiedniego rozkazu oraz decyzja o wykorzystaniu elementu S jest podejmowana w detektorze fazy.

w układzie odbiorczym elementy I i S poszczególnych sygnałów P_i są odpowiednio rozdzielone i kierowane do odpowiednich kanałów wyjściowych, gdzie są one wprowadzone do pamięci. Są one odczytywane przez zegar uśredniony za pomocą układu PLL (*phase loop locked*), odtwarzającego sygnał traktujący z wytłumionymi fluktuacjami fazy, które wynikają z nierównomiernego rozkładu elementów I

w ramce oraz procesu dopełniania.

Układ PLL zawiera dzielniki zapisu i odczytu pamięci, komparator fazy, filtr dolnoprzepustowy oraz generator o sterowanej napięciowo częstotliwości. Układ ten przez uśrednienie napięcia uzyskiwanego z komparatora fazy wytwarza przebieg o częstotliwości równej częstotliwości taktowania sygnału P_i , tym sposobem fluktuacje fazowe zostają ograniczone do minimum, dzięki czemu zniekształcenia fazowe odbieranego sygnału nie przekraczają dopuszczalnych wartości.

Ponieważ odbierane rozkazy o dopełnianiu sterują bramką, przez którą przechodzą do dzielnika zapisu sygnały taktujące, więc w przypadku dopełniania bramka jest zamykana na jeden takt i dzięki temu dzielnik zatrzymuje się, a tym samym element S nie zostaje wpisany do pamięci. Jednocześnie zatrzymanie dzielnika przy występowaniu dopełniania wpływa na średnią częstotliwość sygnału wytwarzanego przez układ PLL, dzięki czemu ma on tą samą częstotliwość, jaka występuje na wejściu krotnicy nadawczej, czyli 8448 kbit/s z tolerancją ± 30 ppm, przy czym przebieg zegarowy może być zarówno generowany wewnątrz urządzenia albo doprowadzany z zewnątrz.

Strukturę ramki transmisyjnej, a w tym ilość i przepływność sygnałów podrzędnych, liczbę bitów w ramce, sposób ich przyporządkowania i numeracji, a także wzorzec synchronizacji ramkowej, zawiera Tab. 9.1.

Tablica 9.1. Struktura ramki sygnału 8448 kbit/s

Przepływność sygnałów podrzędnych (kbit/s)	2048
Ilość sygnałów podrzędnych	4
Składnik ramki	Numer bitu
	<i>Sekcja I</i>
Wzór synchronizacji ramki (1111010000)	1 do 10
Wskazanie alarmu do urządzenia współpracującego	11
Bit zarezerwowany dla operatorów narodowych	12
Bity sygnałów podrzędnych	13 do 212
	<i>Sekcja II</i>
Bity sterowania dopełnieniem C_{j1} (patrz Uwaga)	1 do 4
Bity sygnałów podrzędnych	5 do 212
	<i>Sekcja III</i>
Bity sterowania dopełnieniem C_{j2} (patrz Uwaga)	1 do 4
Bity sygnałów podrzędnych	5 do 212
	<i>Sekcja IV</i>
Bity sterowania dopełnieniem C_{j3} (patrz Uwaga)	1 do 4
Bity sygnałów podrzędnych realizujące dopełnienie	1 do 4
Bity sygnałów podrzędnych	5 do 8
	9 do 212
Długość ramki	848 bitów
Liczba bitów w sygnale podrzędnym	206 bitów
Maksymalna korekta przepływności sygnału podrzędnego	10 kbit/s
Nominalny współczynnik dopełnienia	0.424

Uwaga - C_{ji} oznacza i -ty bit sterujący dopełnieniem j -tego sygnału podrzędnego

8.1.2 Utrata i odzyskiwanie synchronizacji ramki

Kryterium utraty synchronizacji ramki sygnału 8448 kbit/s jest wykrycie cztery razy pod rząd błędnego sygnału synchronizacji. Synchronizacja może być uznana za przywróconą, jeśli nastąpi trzykrotny poprawny odbiór tego sygnału.

W przypadku, gdy po ramce z poprawnym sygnałem synchronizacji następują dwie kolejne z jego błędną formą, element odpowiedzialny za utrzymanie synchronizacji powinien wdrożyć akcję poszukiwawczą.

Zalecenia nie definiują algorytmu poszukiwania uznając, że zadanie to może wypełniać może dowolna procedura o akceptowalnej efektywności.

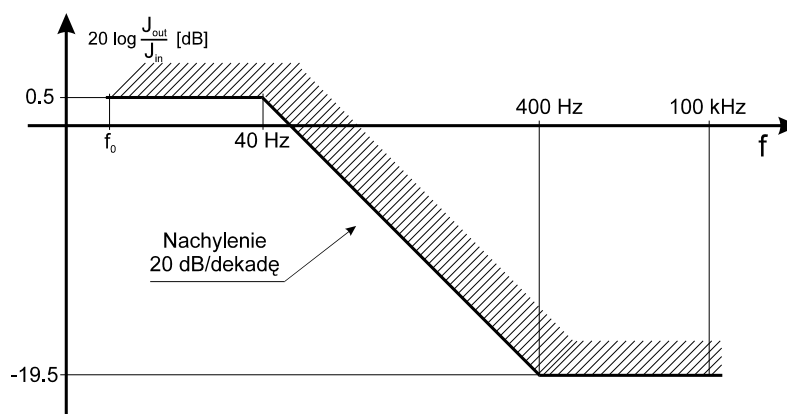
8.1.3 Metoda multipleksacji

Zalecaną techniką organizacji ramki 8448 kbit/s jest cykliczny przeplot bitowy sygnałów podrzędnych z dopełnieniem dodatnim, w którym stanem bitów dopełniających sterują elementy kontrolne, oznaczone w Tab. 2-1 jako C_{jn} ($n = 1, 2$ i 3). Dopełnienie dodatnie oznaczone jest przy tym sekwencją 111, jego brak stanem 000. W celu eliminacji wpływu błędów transmisyjnych decyzja o wystąpieniu lub braku dopełnienia powinna być podejmowana po stronie odbiorczej metodą większościową.

8.1.4 Jitter

8.1.4.1 Charakterystyki przeniku jittera

Charakterystyka przeniku dotyczy sygnału 2048 kbit/s modulowanego jitterem sinusoidalnym. Jej kształt dla sygnału testowego 1000 (binarnie) powinien być zgodny z przebiegiem przedstawionym na rys. 9.2.



Rys. 9.2. Dopuszczalne przeniki jittera

Uwaga

1. Częstotliwość f_0 powinna być możliwie niska np. 10 Hz, zaś jej wartość powinna wynikać z ograniczeń technicznych sprzętu pomiarowego.
2. W celu uzyskania wyników obciążonych możliwie małym błędem zalecane jest stosowanie selektywnej techniki pomiarowej przy szerokości pasma dostosowanej do częstotliwości aktualnie badanego punktu pomiarowego, lecz w żadnym przypadku nie większej niż 40 Hz.
3. Możliwość tolerowania przeników większych niż -19.5 dB w zakresie 400 Hz - 100 kHz jest przedmiotem studiów.

8.1.4.2 Jitter na wyjściach sygnałów podrzędnych

Międzyszczytowa wartość jittera na wyjściu sygnałów podrzędnych obserwowana w paśmie do 100 kHz przy braku jittera wejściowego nie powinna przekraczać 0.25 UI. Rezultatem pomiaru dokonywanego przyrządem z filtrem pasmowym 18 - 100 kHz ze spadkiem charakterystyki przenoszenia 20 dB/dekadę powinna być międzyszczytowy jitter nie przekraczający w czasie 10 s wartość 0.05 UI z prawdopodobieństwem 0.999.

Uwaga

Dla interfejsów spełniających wymagania narodowej opcji Q opisanej w zaleceniu G.703 dolna częstotliwość filtra pasmowego powinna wynosić 700 Hz.

8.1.4.3 Jitter na wyjściu sygnału grupowego

W przypadku, gdy sygnał nadawany jest z zegarem uzyskiwanym z wewnętrznego źródła, międzyszczytowy jitter wyjścia 8448 kbit/s dla zakresu pomiarowego od $f_l = 20 \text{ Hz}$ do $f_u = 400 \text{ kHz}$ nie powinien przekraczać 0.05 UI.

8.1.5 Interfejsy cyfrowe

Parametry techniczne cyfrowych interfejsów sygnałów 2048 kbit/s i 8448 kbit/s powinny być zgodne z zaleceniem G.703.

8.1.6 Pola informacji służbowej

W celu wymiany informacji służbowych wykorzystywane są bit 11 Sekcji I, który przekazuje wskazanie stanów alarmowych oraz bit 12 przeznaczony dla operatorów narodowych. W łączach pośredniczących pomiędzy różnymi domenami bit 12 powinien być ustawiony w stan „1”.

8.1.7 Stany awaryjne oraz działania interwencyjne

8.1.7.1 Stany awaryjne

Sterowanie urządzeń przeznaczonych do obsługi strumieni 8448 kbit/s powinno być zdolne do wykrywania następujących niesprawności:

1. Uszkodzenia źródła zasilania.
2. Zaniku sygnału na wejściowym porcie 2048 kbit/s. Jeśli dane i zegar dostarczane są na odrębnych wprowadzeniach, sygnalizacja powinna dotyczyć zaniku każdego sygnału.
3. Zaniku odbieranego sygnału 8448 kbit/s, który musi być wykrywany tylko w przypadku, gdy nie powoduje alarmu utraty synchronizacji ramkowej. Jeśli dane i zegar dostarczane są na odrębnych wprowadzeniach, sygnalizacja powinna dotyczyć zaniku każdego sygnału.
4. Utraty synchronizacji ramkowej.
5. Wskazania alarmu odebranego od współpracującego urządzenia.

8.1.7.2 Działania interwencyjne

Odpowiednio do rodzaju wykrytej niesprawności podejmowane są niezbędne akcje interwencyjne, których zestaw obejmuje:

1. Wskazanie alarmu systemu utrzymania (WASU), informujące lokalne funkcje utrzymania o potrzebie podjęcia akcji naprawczych. Wykrycie sygnału wskazania alarmu (AIS) w ramach sygnału 8448 kbit/s odbieranego przez demultiplekser powinno powodować blokadę generacji WASU związanych z utratą synchronizacji ramkowej, podczas gdy pozostałe akcje powinny być zgodne z wykazem zawartym w Tab. 9.2.
2. Przekazanie informacji o stanie awaryjnym do jednostki współpracującej, które polega na zmianie stanu bitu 11 Sekcji I z „0” na „1” w ramach wyjściowego sygnału 8448 kbit/s.
3. Wstawienie sygnału wskazania alarmu (AIS) do szczelin wyjściowych wszystkich 4 sygnałów podrzędnych 2048 kbit/s demultipleksera.
4. Wstawienie sygnału wskazania alarmu (AIS) do wyjściowego sygnału 8448 kbit/s multipleksera.
5. Wstawienie sygnału wskazania alarmu (AIS) do szczelin wyjściowych sygnału 8448 kbit/s odpowiadających błędnemu strumieniowi podrzédnemu 2048 kbit/s.

Wprowadzanie sygnału AIS do szczelin czasowych właściwego sygnału podrzédnego jest prowadzone równolegle z realizacją dopełniania bitowego, co umożliwia dokonanie poprawnego odczytu po stronie odbiorczej.

Tablica 9.2. Stany awaryjne i akcje interwencyjne systemu 8448 kbit/s

Element wyposażenia	Rodzaj niesprawności	Podejmowane akcje				
		Wskazanie alarmu systemu utrzymania	Przekazanie alarmu do jednostki współpracującej	Wprowadzenie AIS		
				Do wszystkich sygnałów podrzędnych	Do sygnału zbiorczego	Do wybranych szczelin sygnału zbiorczego
Multiplexer i demultiplexer	Niesprawność źródła zasilania	Tak		Tak jeśli wykonalne	Tak jeśli wykonalne	
Tylko multiplexer	Zanik sygnału 2048 kbit/s	Tak				Tak
Tylko demultiplexer	Zanik wejściowego sygnału 8448 kbit/s	Tak	Tak	Tak		
	Utrata synchronizacji ramki	Tak	Tak	Tak		
	Odbiór alarmu od elementu współpracującego					

Realizacja wymienionych działań powinna uwzględniać następujące okoliczności:

1. Lokalizacja oraz sposób organizacji powiadamiania akustycznego i optycznego o wystąpieniu okoliczności powodujących potrzebę działań zgodnie z pkt. 1 mogą być ustalane indywidualnie, w sposób odzwierciedlający specyfikę lokalną.
2. Stan sygnału wskazania alarmu (AIS) odpowiada ciąglemu nadawaniu na ustalonych pozycjach ramek 2048 kbit/s i 8448 kbit/s bitów o wartości logicznej „1”, których wystąpienie powinno być w sposób gwarantowany wykrywane przy stopie błędów mniejszej lub równej 10^{-3} . Równocześnie wykorzystywany algorytm detekcji powinien zapobiegać wystąpieniu fałszywego alarmu dla ramek wypełnionych poza szczeliną synchronizacyjną bitami o wartościach „1”.
3. Przepływność binarna sygnału AIS na wyjściach multiplexera i demultiplexera powinna być zgodna ze specyfikacjami technicznymi właściwych interfejsów

8.1.8 Wymagania czasowe

Wykrycie stanów awaryjnych oraz wdrożenie odpowiednich akcji interwencyjnych, w tym wykrycie stanu AIS powinno być realizowane w czasie nie dłuższym niż 1 ms.

8.2 Charakterystyki wyposażenia multipleksacji strumienia 8448 kbit/s

8.2.1 Informacje podstawowe

Charakterystyka urządzeń przeznaczonych do obsługi strumieni 8448 kbit/s zawarta jest w zaleceniu G.744.

Kodowanie danych prowadzone jest zgodnie z przedstawionym w zaleceniu G.711 prawem *A*, zaś liczba wyróżnianych poziomów kodowych jest równa 256. Inwersja bitów 2, 4, 6 i 8 jest dokonywana przez element kodujący i dotyczy jedynie szczelin czasowych przenoszących sygnały telefoniczne.

Nominalna szybkość transmisji 8448 kbit/s powinna być utrzymywana z tolerancją ± 30 ppm, przy czym przebieg zegarowy może być generowany wewnątrz urządzenia, doprowadzany zewnętrznie, albo odzyskiwany z danych odbieranych. W celu uwzględnienia oddziaływania jittera danych wejściowych na sygnały zegarowe, a także reakcji na zanik sygnałów dostarczanych z zewnątrz prowadzone są obecnie intensywne prace studialne.

Strukturę ramki transmisyjnej, a w tym przyporządkowanie szczelin kanałowych zawiera zalecenie G.704.

Sposób uzyskiwania synchronizacji ramkowej powinien być zgodny z zapisami zawartymi w § 4.1 zalecenia G.706.

8.2.2 Utrata i odzyskiwanie synchronizacji ramki

Kryterium utraty synchronizacji ramki sygnału 8448 kbit/s jest wykrycie cztery razy pod rząd błędnego sygnału synchronizacji. Synchronizacja może być uznana za przywróconą, jeśli nastąpi trzykrotny poprawny odbiór tego sygnału.

W przypadku, gdy po ramce z poprawnym sygnałem synchronizacji następują dwie kolejne z jego błędną formą, element odpowiedzialny za utrzymanie synchronizacji powinien wdrożyć akcję poszukiwawczą.

8.2.3 Stany awaryjne oraz działania interwencyjne

8.2.3.1 Stany awaryjne

Sterowanie multiplexera 8448 kbit/s powinno być zdolne do wykrywania następujących niesprawności:

1. Uszkodzenie źródła zasilania.
2. Uszkodzenie kodeka (chyba, że stosowane są indywidualne kodeki kanałowe). Stan awaryjny występuje, jeśli choćby dla jednego sygnału o poziomie -21 do -6 dBm0 stosunek sygnał/zniekształcenia kwantyzacji obniży się o 18 lub więcej dB w stosunku do poziomu wymaganego przez zalecenie G.712.
3. Zanik sygnału na wejściowym porcie 64 kbit/s (szczeliny 67 do 70). Zadanie to nie musi być realizowane w przypadku wykorzystania sygnalizacji skojarzonej z kanałem (CAS), jeśli element obsługi sygnalizacji znajduje się w pobliżu multiplexera PCM.
4. Zanik odbieranego sygnału 8448 kbit/s, który musi być wykrywany tylko w przypadku, gdy nie powoduje alarmu utraty synchronizacji ramkowej. Jeśli dane i zegar dostarczane są na odrębnych wprowadzeniach, sygnalizacja powinna dotyczyć zaniku każdego sygnału.
5. Utrata synchronizacji ramkowej.
6. Przekroczenie dopuszczalnej stopy błędów sygnału synchronizacji ramkowej. W szczególności wymaga się aby przy losowym rozkładzie błędów prawdopodobieństwo generacji alarmu dla $BER \leq 10^{-4}$ było mniejsze niż 10^{-6} , natomiast prawdopodobieństwo jego dezaktywacji w ciągu 4 - 5 s przekraczało 0.95. Podobnie przy $BER \geq 10^{-3}$, prawdopodobieństwo wystąpienia alarmu musi być większe niż 0.95, zaś jego stan powinien być utrzymany do momentu poprawy stanu łącza.
7. Wskazania stanu alarmowego odebranego od współpracującego oddalonego multiplexera.

8.2.3.2 Działania interwencyjne

Odpowiednio do rodzaju wykrytej niesprawności podejmowane są niezbędne akcje interwencyjne, których zestaw obejmuje:

1. Wskazanie alarmu usługowego, które informuje, że wyposażenie nie jest w stanie realizować wymaganych działań. Wskazanie to powinno być przekazane do współpracującego węzła komutacyjnego lub multiplexera w czasie nie dłuższym niż 2 ms od chwili wystąpienia sygnalizowanej niesprawności. Przyjmuje się ponadto, że średni czas od wykrycia utraty synchronizacji ramkowej do generacji jego wskazania nie powinien przekraczać 3 ms. W przypadku wykorzystania sygnalizacji we wspólnym kanale wskazanie alarmu jest przekazywane do współpracującego komutatora za pośrednictwem wydzielonego interfejsu komunikacyjnego.
2. Wskazanie alarmu systemu utrzymania (WASU), informujące lokalne funkcje utrzymania o potrzebie podjęcia akcji naprawczych. Wykrycie sygnału wskazania alarmu (AIS) w ramach sygnału 8448 kbit/s odbieranego przez demultiplexer powinno powodować blokadę generacji WASU związanych z utratą synchronizacji ramkowej oraz podwyższonej stopy błędów sygnału synchronizacji, podczas gdy pozostałe akcje powinny być zgodne z Tab. 9.3.
3. Przekazanie informacji o stanie awaryjnym do jednostki współpracującej, które polega na zmianie stanu bitu 7 szczeliny kanałowej 66 z „0” na „1”.

4. Wstrzymanie transmisji do wyjść analogowych
5. Wstawienie sygnału wskazania alarmu (AIS) do szczelin czasowych kanałów 67 do 70, jeśli nie są wykorzystywane do przekazu sygnałów mowy. Akcja ta powinna być podjęta nie później niż w 2 ms po wystąpieniu stanu awaryjnego.
6. Wstawienie sygnału wskazania alarmu (AIS) do szczelin czasowych kanałów 67 do 70 wyjściowego sygnału 8448 kbit/s, jeśli nie są wykorzystywane do przekazu sygnałów mowy (i jeśli jest prowadzony nadzór wejściowych sygnałów 64 kbit/s).

Realizacja wymienionych działań powinna uwzględniać następujące okoliczności:

1. Lokalizacja oraz sposób organizacji powiadamiania akustycznego i optycznego o wystąpieniu okoliczności powodujących potrzebę działań zgodnie z pkt. 1 mogą być ustalane indywidualnie, w sposób odzwierciedlający specyfikę lokalną.
2. Stan sygnału wskazania alarmu (AIS) odpowiada ciągłemu nadawaniu na ustalonych pozycjach ramek 2048 kbit/s i 8448 kbit/s bitów o wartości logicznej „1”, których wystąpienie powinno być w sposób gwarantowany wykrywane przy stopie błędów mniejszej lub równej 10^{-3} . Równocześnie wykorzystywany algorytm detekcji powinien zapobiegać wystąpieniu fałszywego alarmu dla ramek wypełnionych poza szczeliną synchronizacyjną bitami o wartościach „1”.
3. Przepływność binarna sygnału AIS na wyjściach multipleksera i demultipleksera powinna być zgodna ze specyfikacjami technicznymi właściwych interfejsów

Tablica 9.3. Stany awaryjne i akcje interwencyjne multipleksera 8448 kbit/s

Element wyposażenia	Rodzaj niesprawności	Podejmowane akcje				Wprowadzenie AIS do wyjść 64 kbit/s (szczeliny 67 - 70)	Wprowadzenie AIS do szczelin 67 - 70 zespolonego sygnału 8448 kbit/s
		Wskazanie alarmu usługowego	Wskazanie alarmu systemu utrzymania	Przekazanie alarmu do jednostki współpracującej	Wstrzymanie przekazu na wyjściach analogowych		
Multipleksers i demultipleksers	Niesprawność źródła zasilania	Tak	Tak	Tak jeśli wykonalne	Tak jeśli wykonalne	Tak jeśli wykonalne	Tak jeśli wykonalne
	Niesprawność kodeka	Tak	Tak	Tak	Tak		
Tylko multipleksers	Zanik wejściowego sygnału 64 kbit/s w szczelinach 67 - 70		Tak				Tak
Tylko demultipleksers	Zanik wejściowego sygnału 8448 kbit/s	Tak	Tak	Tak	Tak	Tak	
	Utrata synchronizacji ramki	Tak	Tak	Tak	Tak	Tak	
	Stopa błędów sygnału synchronizacji ramki $\geq 10^{-3}$	Tak	Tak	Tak	Tak	Tak	
	Odbiór alarmu od elementu współpracującego (bit 7 szczeliny 66)	Tak					

8.2.4 Sygnalizacja

8.2.4.1 Sposób organizacji

Odpowiednio do zapisów zalecenia G.704 sygnalizacja w ramce sygnału 8448 kbit/s jest prowadzona w szczelinach kanałowych 67 - 70, których wykorzystanie zależy od implementacji systemu sygnalizacyjnego.

W przypadku sygnalizacji wspólnokanałowej (CCS), szczeliny 67 - 70 są wykorzystywane w porządku malejącym do szybkości 64 kbit/s. Tryb synchronizacji wynika ze specyfikacji systemu sygnalizacji.

System sygnalizacji w kanale skojarzonym (CAS) wykorzystuje pasmo szczelin 67 - 70 do organizacji multiramki, w skład której wchodzi 16 kolejnych ramek numerowanych od 0 do 15. Sygnał synchronizacji multiramki stanowi bitowy wzorzec „0000” wstawiany na pozycjach 1 - 4 szczelin 67 - 70 ramki o numerze 0. Przeporządkowanie szczelin sygnalizacyjnych multiramki kanałom użytkowym przedstawiono w Tab. 9.4.

Tablica 9.4. Wykorzystanie szczelin 67 - 70 strumienia 8448 kbit/s

Ramka	67		68		69		70	
0	0000xyxx		0000xyxx		0000xyxx		0000xyxx	
1	abcd szczelina 1	abcd szczelina 16	abcd szczelina 31	abcd szczelina 46	abcd szczelina 61	abcd szczelina 76	abcd szczelina 91	abcd szczelina 106
	:	:	:	:	:	:	:	:
15	abcd szczelina 15	abcd szczelina 30	abcd szczelina 45	abcd szczelina 60	abcd szczelina 75	abcd szczelina 90	abcd szczelina 105	abcd szczelina 120

Uwaga:

1. Numery szczelin odpowiadają kanałom telefonicznym.
2. W każdym przypadku bity a, b, c i d tworzą 4 kanały sygnalizacyjne o przepływności 500 bitów/s każdy. Zakłócenia przekazu wywołane akcjami systemu transmisyjnego PCM nie powinny trwać dłużej niż 2 ms.
3. Jeśli bity b, c, i d nie są wykorzystywane powinny być ustawione w stan „1”. Zalecane jest ponadto unikanie ustawiania na bitach a, b, c i d stanu „0000”, zwłaszcza dla kanałów 1-15, 31-45, 61-75 oraz 91-125.
4. x oznacza wolny bit, który powinien być ustawiony w stan „1”. Bity y stanowią pola alarmowe, które w warunkach normalnej pracy systemu powinny przyjmować stan „0” („1” oznacza stan alarmowy).

8.2.4.2 Utrata i odtwarzanie synchronizacji wieloramki w przypadku sygnalizacji CAS

Kryterium utraty synchronizacji wieloramki z sygnalizacją typu CAS jest wykrycie dwa razy pod rząd błędnego sygnału synchronizacji. Ponowne ustanowienie synchronizmu następuje w chwili jego pierwszego poprawnego odbioru. W celu zabezpieczenia się przed przypadkami błędnej synchronizacji zaleca się realizację następującego algorytmu:

- Utratę synchronizacji należy domniemywać, jeśli w ciągu jednej lub dwóch multiramek stwierdza się wypełnienie szczelin 67, 68, 69 i 70 bitami o wartościach „0”.
- Na przywrócenie synchronizacji wskazuje obecność przynajmniej jednego bitu o wartości „1” w szczelinach 67, 68, 69 lub 70 ramki poprzedzającej pierwszy poprawny sygnał synchronizacji.

8.2.4.3 Stany awaryjne oraz akcje interwencyjne w przypadku sygnalizacji CAS

Stany awaryjne oraz akcje interwencyjne dla każdego kanału sygnalizacyjnego 64 kbit/s i każdego multipleksera sygnalizacji są identyczne z przedstawionymi w przypadku strumienia grupy pierwotnej 2048 kbit/s (G.732, § 5.3).

8.2.5 Interfejsy

Sposób realizacji interfejsów analogowych powinien być zgodny z zaleceniem G.712, natomiast cyfrowe styki sygnałów 8448 i 64 kbit/s definiuje zalecenie G.703. Ze względu na kierunki przepływu danych i synchronizacji wyróżnia się współbieżne i przeciwbieżne aplikacje styków 64 kbit/s.

Specyfikacja cyfrowych interfejsów strumieni 64 kbit/s nie obowiązuje w przypadku wykorzystania sygnalizacji w kanale skojarzonym.

8.2.6 Jitter

8.2.6.1 Jitter na wyjściu 8448 kbit/s

W przypadku, gdy sygnał nadawany jest z zegarem uzyskiwanym z wewnętrznego źródła, międzyszczytowy jitter wyjścia 8448 kbit/s dla zakresu pomiarowego od $f_1 = 20 \text{ Hz}$ do $f_4 = 400 \text{ kHz}$ nie może przekraczać 0.05 UI.

8.2.6.2 Jitter na wyjściu 64 kbit/s (interfejs zgodny z G.703)

Jeśli odbierany sygnał 8448 kbit/s pozbawiony jest jittera, jego międzyszczytowa wartość obserwowana na wyjściu 64 kbit/s w zakresie $f_1 = 20 \text{ Hz}$ do $f_4 = 10 \text{ kHz}$ nie powinna przekraczać 0.025 UI (zgodnie z zaleceniem O.151, pomiar przy pseudolosowej sekwencji $2^{15} - 1$ na wejściu 8448 kbit/s). Ponadto, w celu uniknięcia wystąpienia sygnału AIS na wyjściu 64 kbit/s wymagane jest wprowadzenie do danych testowych sygnału synchronizacji ramkowej.

Wartości dopuszczalnego przeniku jittera pomiędzy wejściem 8448 kbit/s i wyjściami 64 kbit/s stanowi obecnie przedmiot intensywnych studiów.

9. Strumienie grupowe trzeciego i czwartego rzędu zwielokrotnienia

9.1 Informacje podstawowe

Charakterystyka urządzeń przeznaczonych do realizacji zwielokrotnienia trzeciego i czwartego rzędu zawarta jest w zaleceniu G.751 ITU.

Realizacja zwielokrotnienia czwartego rzędu (strumień 139 264 kbit/s) wykorzystuje jako podrzędne sygnały drugiego stopnia zwielokrotnienia (8448 kbit/s). Uzyskanie strumienia o maksymalnej przepływności binarnej może być osiągnięte dwoma metodami:

- z wykorzystaniem sygnałów trzeciego stopnia hierarchii cyfrowej (34 368 kbit/s);
- poprzez bezpośrednią multipleksację 16 strumieni o przepływności 8448 kbit/s.

Niezależnie od wykorzystanej metody, wynikowe strumienie danych 139 264 kbit/s posiadają identyczną organizację wewnętrzną. Istnienie obydwu wymienionych metod pozwala w szczególności na rezygnację ze stosowania trzeciego poziomu hierarchii (34 368 kbit/s) przez operatorów, którzy nie posiadają odpowiedniego wyposażenia sprzętowego.

Odpowiednio do przedstawionych technik zwielokrotnienia 4 rzędu zalecane są następujące alternatywne metody implementacji multiplekserów z dopełnieniem dodatkim:

1. Realizacja dwóch typów urządzeń, z których jeden dostarcza strumieni 34 368 kbit/s zestawianych z czterech sygnałów o przepływności 8448 kbit/s, drugi zaś generuje sygnał zespolony 139 264 kbit/s poprzez multipleksację strumieni 3 rzędu (34 368 kbit/s).
2. Wykorzystanie pojedynczego multipleksera zestawiającego zespolony strumień 139 264 kbit/s bezpośrednio z 16 sygnałów o przepływności 8448 kbit/s.

9.2 Multipleksacja sygnałów 8448 kbit/s

Nominalna szybkość transmisji 34 368 kbit/s powinna być utrzymywana z tolerancją ± 20 ppm, przy czym przebieg zegarowy może być generowany wewnątrz urządzenia albo doprowadzany zewnętrznie.

Strukturę ramki transmisyjnej, a w tym ilość i przepływność sygnałów podrzędnych, liczbę bitów w ramce, sposób ich przyporządkowania i numeracji, a także wzorzec synchronizacji ramkowej, zawiera Tab. 10.1.

Tablica 10.1. Struktura ramki sygnału 34 368 kbit/s

Przepływność sygnałów podrzędnych (kbit/s)	8448
Ilość sygnałów podrzędnych	4
Składnik ramki	Numer bitu
	<i>Sekcja I</i>
Wzór synchronizacji ramki (1111010000)	1 do 10
Wskazanie alarmu do urządzenia współpracującego	11
Bit zarezerwowany dla operatorów narodowych	12
Bity sygnałów podrzędnych	13 do 384
	<i>Sekcja II</i>
Bity sterowania dopełnieniem C_{j1} (patrz Uwaga)	1 do 4
Bity sygnałów podrzędnych	5 do 384
	<i>Sekcja III</i>
Bity sterowania dopełnieniem C_{j2} (patrz Uwaga)	1 do 4
Bity sygnałów podrzędnych	5 do 384
	<i>Sekcja IV</i>
Bity sterowania dopełnieniem C_{j3} (patrz Uwaga)	1 do 4
Bity sygnałów podrzędnych realizujące dopełnienie	5 do 8
Bity sygnałów podrzędnych	9 do 384
Długość ramki	1536 bitów
Liczba bitów w sygnale podrzędnym	378 bitów
Maksymalna korekta przepływności sygnału podrzędnego	22 375 kbit/s
Nominalny współczynnik dopełnienia	0.436

Uwaga - C_{ji} oznacza i-ty bit sterujący dopełnieniem j-tego sygnału podrzędnego

9.2.1 Utrata i odzyskiwanie synchronizacji ramki

Kryterium utraty synchronizacji ramki sygnału 34 368 kbit/s jest wykrycie cztery razy pod rząd błędnego sygnału synchronizacji. Synchronizacja może być uznana za przywróconą, jeśli nastąpi trzykrotny poprawny odbiór tego sygnału.

W przypadku, gdy po ramce z poprawnym sygnałem synchronizacji następują dwie kolejne z jego błędną formą, element odpowiedzialny za utrzymanie synchronizacji powinien wdrożyć akcję poszukiwawczą.

Zalecenia nie definiują algorytmu poszukiwania uznając, że zadanie to może wypełniać może dowolna procedura o akceptowalnej efektywności.

9.2.2 Metoda multipleksacji

Zalecaną techniką organizacji ramki 34 368 kbit/s jest cykliczny przeplot bitowy sygnałów podrzędnych z dopełnieniem dodatnim, w którym stanem bitów dopełniających sterują elementy kontrolne, oznaczone

w Tab. 3.1 jako C_{jn} ($n = 1, 2 i 3$). Dopełnienie dodatnie oznaczone jest przy tym sekwencją 111, jego brak stanem 000. W celu eliminacji wpływu błędów transmisyjnych decyzja o wystąpieniu lub braku dopełnienia powinna być podejmowana po stronie odbiorczej metodą większościową.

9.2.3 Pola informacji służbowej

W celu wymiany informacji służbowych wykorzystywane są bit 11 Sekcji I, który przekazuje wskazanie stanów alarmowych oraz bit 12 przeznaczony dla operatorów narodowych. W łączach pośredniczących pomiędzy różnymi domenami bit 12 powinien być ustawiony w stan „1”.

9.3 Multipleksacja sygnałów 34 368 kbit/s

Nominalna szybkość transmisji 139 264 kbit/s powinna być utrzymywana z tolerancją ± 15 ppm, przy czym przebieg zegarowy może być generowany wewnątrz urządzenia albo doprowadzany zewnętrznie.

Strukturę ramki transmisyjnej, a w tym ilość i przepływność sygnałów podrzędnych, liczbę bitów w ramce, sposób ich przyporządkowania i numeracji, a także wzorzec synchronizacji ramkowej, zawiera Tab. 10.2.

Tablica 10.2. Struktura ramki sygnału 139 264 kbit/s

Przepływność sygnałów podrzędnych (kbit/s)	34 368
Ilość sygnałów podrzędnych	4
Składnik ramki	Numer bitu
	<i>Sekcja I</i>
Wzór synchronizacji ramki (111110100000)	1 do 12
Wskazanie alarmu do urządzenia współpracującego	13
Bity zarezerwowane dla operatorów narodowych	14 do 16
Bity sygnałów podrzędnych	17 do 488
	<i>Sekcje II do V</i>
Bity sterowania dopełnieniem C_{jn} (patrz Uwaga)	1 do 4
Bity sygnałów podrzędnych	5 do 488
	<i>Sekcja VI</i>
Bity sterowania dopełnieniem C_{j5} (patrz Uwaga)	1 do 4
Bity sygnałów podrzędnych realizujące dopełnienie	5 do 8
Bity sygnałów podrzędnych	9 do 488
Długość ramki	2928 bitów
Liczba bitów w sygnale podrzędnym	723 bitów
Maksymalna korekta przepływności sygnału podrzędnego	47 563 kbit/s
Nominalny współczynnik dopełnienia	0.419

Uwaga - C_{ji} oznacza i-ty bit sterujący dopełnieniem j-tego sygnału podrzędnego

9.3.1 Utrata i odzyskiwanie synchronizacji ramki

Kryterium utraty synchronizacji ramki sygnału 139 264 kbit/s jest wykrycie cztery razy pod rząd błędnego sygnału synchronizacji. Synchronizacja może być przywrócona, jeśli nastąpi trzykrotny poprawny odbiór tego sygnału. W przypadku, gdy po ramce z poprawnym sygnałem

synchronizacji następują dwie kolejne z jego błędną formą, element odpowiedzialny za utrzymanie synchronizacji powinien wdrożyć akcję poszukiwawczą.

Zalecenia nie definiują algorytmu poszukiwania uznając, że zadanie to może wypełniać może dowolna procedura o akceptowalnej efektywności.

9.3.2 Metoda multipleksacji

Zalecaną techniką organizacji ramki 139 264 kbit/s jest cykliczny przeplot bitowy sygnałów podrzędnych z dopełnieniem dodatnim, w którym stanem bitów dopełniających sterują elementy kontrolne, oznaczone w Tab. 3.2 jako C_{jn} ($n = 1, 2, 3, 4$ i 5). Dopełnienie dodatnie oznaczone jest przy tym sekwencją 11111, jego brak stanem 00000. W celu eliminacji wpływu błędów transmisyjnych, decyzja o wystąpieniu lub braku dopełnienia powinna być podejmowana po stronie odbiorczej metodą większościową.

9.3.3 Pola informacji służbowej

W celu wymiany informacji służbowych wykorzystywane są: bit 13 Sekcji I, który przekazuje wskazanie stanów alarmowych oraz bity 14 - 16 przeznaczone dla operatorów narodowych. W łączach pośredniczących pomiędzy różnymi domenami bity 14 - 16 powinny być ustawione w stan „1”.

9.4 Multipleksacja sygnałów 8448 kbit/s w strumień 34 368 kbit/s

9.4.1 Szybkość transmisji i struktura ramki

Nominalna szybkość transmisji 34 368 kbit/s powinna być utrzymywana z tolerancją ± 20 ppm, zaś struktura ramki transmisyjnej powinna być zgodna z zestawieniem zawartym w Tab. 10.1.

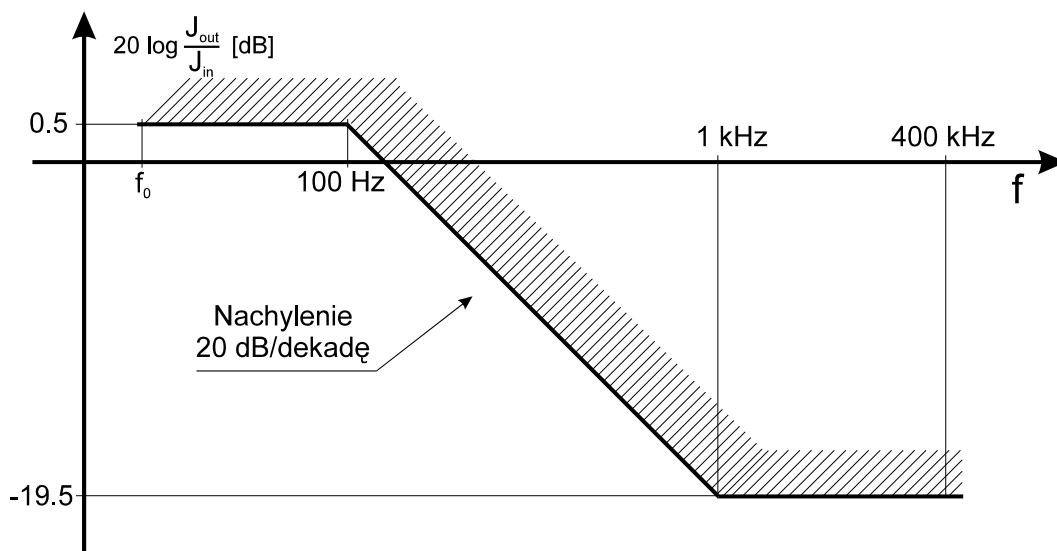
9.4.2 Interfejsy cyfrowe

Parametry techniczne cyfrowych interfejsów sygnałów 8448 kbit/s i 34 368 kbit/s powinny być zgodne z zaleceniem G.703.

9.4.3 Jitter

9.4.3.1 Charakterystyki przeniku jittera

Charakterystyka przeniku dotyczy sygnału 8448 kbit/s modulowanego jitterem sinusoidalnym. Jej kształt dla sygnału testowego 1000 (binarnie) powinien być zgodny z przebiegiem przedstawionym na rys. 10.1.



Rys. 10.1. Dopuszczalne przeniki jittera

Uwaga

1. Częstotliwość f_0 powinna być możliwie niska np. 10 Hz, zaś jej wartość powinna wynikać z ograniczeń technicznych sprzętu pomiarowego.

2. W celu uzyskania wyników obciążonych możliwie małym błędem zalecane jest stosowanie selektywnej techniki pomiarowej przy szerokości pasma dostosowanej do częstotliwości aktualnie badanego punktu pomiarowego, lecz w żadnym przypadku nie większej niż 40 Hz.
3. Możliwość tolerowania przeników większych niż -19.5 dB w zakresie 1 - 400 kHz jest przedmiotem studiów.

9.4.3.2 Jitter na wyjściach sygnałów podrzędnych

Międzyszczytowa wartość jittera na wyjściu sygnałów podrzędnych obserwowana w paśmie do 400 kHz przy braku jittera wejściowego nie powinna przekraczać 0.25 UI.

Rezultatem pomiaru dokonywanego przyrządem z filtrem pasmowym 3 - 400 kHz ze spadkiem charakterystyki przenoszenia 20 dB/dekadę powinna być międzyszczytowy jitter nie przekraczający w czasie 10 s wartość 0.05 UI z prawdopodobieństwem 0.999.

Uwaga

Dla interfejsów spełniających wymagania narodowej opcji Q opisanej w zaleceniu G.703 dolna częstotliwość filtra pasmowego powinna wynosić 80 kHz.

9.4.3.3 Jitter na wyjściu sygnału grupowego

W przypadku, gdy sygnał nadawany jest z zegarem uzyskiwanym z wewnętrznego źródła, międzyszczytowy jitter wyjścia 34 368 kbit/s dla zakresu pomiarowego od $f_1 = 100 \text{ Hz}$ do $f_2 = 800 \text{ kHz}$ nie powinien przekraczać 0.05 UI.

9.4.4 Stany awaryjne oraz działania interwencyjne

9.4.4.1 Stany awaryjne

Sterowanie urządzeń przeznaczonych do tworzenia strumieni 34 368 kbit/s powinno być zdolne do wykrywania następujących niesprawności:

1. Uszkodzenia źródła zasilania.
2. Zaniku sygnału na wejściowym porcie 8448 kbit/s. Jeśli dane i zegar dostarczane są na odrębnych wprowadzeniach, sygnalizacja powinna dotyczyć zaniku każdego sygnału.
3. Zaniku odbieranego sygnału 34 368 kbit/s, który musi być wykrywany tylko w przypadku, gdy nie powoduje alarmu utraty synchronizacji ramkowej. Jeśli dane i zegar dostarczane są na odrębnych wprowadzeniach, sygnalizacja powinna dotyczyć zaniku każdego sygnału.
4. Utraty synchronizacji ramkowej.
5. Wskazania alarmu odebranego od współpracującego urządzenia.

9.4.4.2 Działania interwencyjne

Odpowiednio do rodzaju wykrytej niesprawności podejmowane są niezbędne akcje interwencyjne, których zestaw obejmuje:

1. Wskazanie alarmu systemu utrzymania (WASU), informujące lokalne funkcje utrzymania o potrzebie podjęcia akcji naprawczych. Wykrycie sygnału wskazania alarmu (AIS) w ramach sygnału 34 368 kbit/s odbieranego przez demultiplekser powinno powodować blokadę generacji WASU związanych z utratą synchronizacji ramkowej, podczas gdy pozostałe akcje powinny być zgodne z wykazem zawartym w Tab. 10.2.
2. Przekazanie informacji o stanie awaryjnym do jednostki współpracującej, które polega na zmianie stanu bitu 11 Sekcji I z „0” na „1” w ramach wyjściowego sygnału 34 368 kbit/s.
3. Wstawienie sygnału wskazania alarmu (AIS) do szczelin wyjściowych wszystkich 4 sygnałów podrzędnych 8448 kbit/s demultipleksera.
4. Wstawienie sygnału wskazania alarmu (AIS) do wyjściowego sygnału 34 368 kbit/s multipleksera.

5. Wstawienie sygnału wskazania alarmu (AIS) do szczelin wyjściowych sygnału 34 368 kbit/s odpowiadających błędnemu strumieniowi podrzędnemu 8448 kbit/s.

Wprowadzanie sygnału AIS do szczelin czasowych właściwego sygnału podrzędnego jest prowadzone równoległe z realizacją dopełniania bitowego, co umożliwi dokonanie poprawnego odczytu po stronie odbiorczej.

Tablica 10.2. Stany awaryjne i akcje interwencyjne systemu 34 368 kbit/s

Element wyposażenia	Rodzaj niesprawności	Podejmowane akcje				
		Wskazanie alarmu systemu utrzymania	Przekazanie alarmu do jednostki współpracującej	Wprowadzenie AIS		
				Do wszystkich sygnałów podrzędnych	Do sygnału zbiorczego	Do wybranych szczelin sygnału zbiorczego
Multiplekser i demultiplekser	Niesprawność źródła zasilania	Tak		Tak jeśli wykonalne	Tak jeśli wykonalne	
Tylko multiplekser	Zanik sygnału 8448 kbit/s	Tak				Tak
Tylko demultiplekser	Zanik wejściowego sygnału 8448 kbit/s	Tak	Tak	Tak		
	Utrata synchronizacji ramki	Tak	Tak	Tak		
	Odbiór alarmu od elementu współpracującego					

Realizacja wymienionych działań powinna uwzględniać następujące okoliczności:

1. Lokalizacja oraz sposób organizacji powiadamiania akustycznego i optycznego o wystąpieniu okoliczności powodujących potrzebę działań zgodnie z pkt. 1 mogą być ustalane indywidualnie, w sposób odzwierciedlający specyfikę lokalną.
2. Stan sygnału wskazania alarmu (AIS) odpowiada ciąglemu nadawaniu na ustalonych pozycjach ramek 8448 kbit/s i 34 368 kbit/s bitów o wartości logicznej „1”, których wystąpienie powinno być w sposób gwarantowany wykrywane przy stopie błędów mniejszej lub równej 10^{-3} . Równocześnie wykorzystywany algorytm detekcji powinien zapobiegać wystąpieniu fałszywego alarmu dla ramek wypełnionych poza szczeliną synchronizacyjną bitami o wartościach „1”.
3. Przepływność binarna sygnału AIS na wyjściach multipleksera i demultipleksera powinna być zgodna ze specyfikacjami technicznymi właściwych interfejsów

9.4.5 Wymagania czasowe

Wykrycie stanów awaryjnych oraz wdrożenie odpowiednich akcji interwencyjnych, w tym wykrycie stanu AIS powinno być realizowane w czasie nie dłuższym niż 1 ms.

9.5 Multipleksacja sygnałów 34 368 kbit/s w strumień 139 264 kbit/s

9.5.1 Szybkość transmisji i struktura ramki

Nominalna szybkość transmisji 139 264 kbit/s powinna być utrzymywana z tolerancją ± 15 ppm, zaś struktura ramki transmisyjnej powinna być zgodna z wcześniejszym opisem.

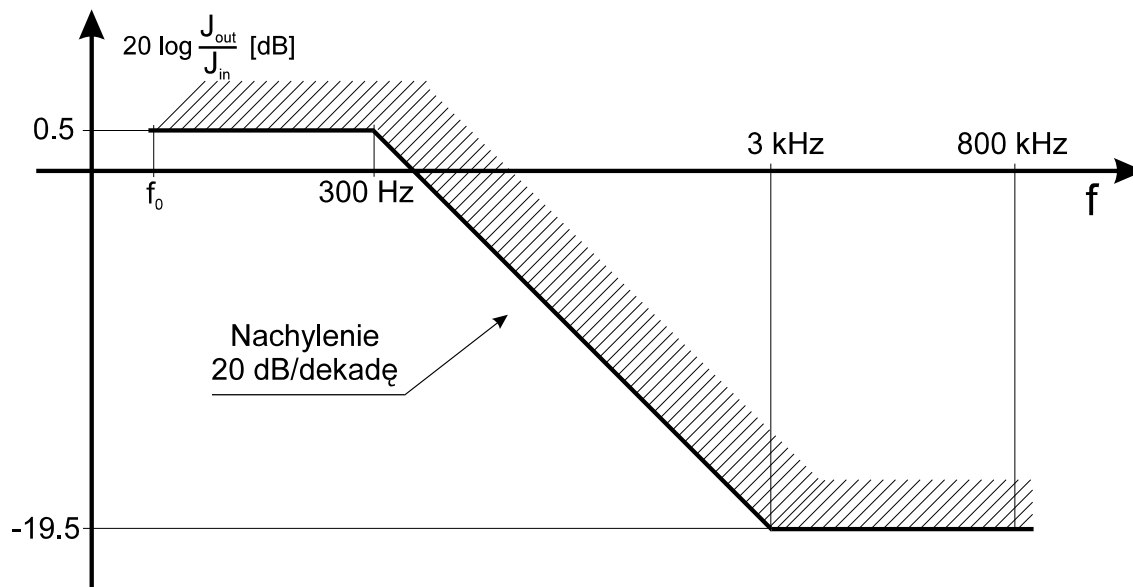
9.5.2 Interfejsy cyfrowe

Parametry techniczne cyfrowych interfejsów sygnałów 34 368 kbit/s i 139 264 kbit/s powinny być zgodne z zaleceniem G.703.

9.5.3 Jitter

9.5.3.1 Charakterystyki przeniku jittera

Charakterystyka przeniku dotyczy sygnału 34 368 kbit/s modulowanego jitterem sinusoidalnym. Jej kształt dla sygnału testowego 1000 (binarnie) powinien być zgodny z przebiegiem przedstawionym na rys. 10.2.



Rys. 10.2. Dopuszczalne przeniki jittera

Uwaga

1. Częstotliwość f_0 powinna być możliwie niska np. 10 Hz, zaś jej wartość powinna wynikać z ograniczeń technicznych sprzętu pomiarowego.
2. W celu uzyskania wyników obciążonych możliwie małym błędem zalecane jest stosowanie selektywnej techniki pomiarowej przy szerokości pasma dostosowanej do częstotliwości aktualnie badanego punktu pomiarowego, lecz w żadnym przypadku nie większej niż 40 Hz.
3. Możliwość tolerowania przeników większych niż -19.5 dB w zakresie 3 - 800 kHz jest przedmiotem studiów.

9.5.3.2 Jitter na wyjściach sygnałów podrzędnych

Międzyszczytowa wartość jittera na wyjściu sygnałów podrzędnych obserwowana w paśmie do 800 kHz przy braku jittera wejściowego nie powinna przekraczać 0.3 UI.

Rezultatem pomiaru dokonywanego przyrządem z filtrem pasmowym 10 - 800 kHz ze spadkiem charakterystyki przenoszenia 20 dB/dekadę powinien być międzyszczytowy jitter nie przekraczający w czasie 10 s wartość 0.05 UI z prawdopodobieństwem 0.999.

9.5.3.3 Jitter na wyjściu sygnału grupowego

W przypadku, gdy sygnał nadawany jest z zegarem uzyskiwanym z wewnętrznego źródła, międzyszczytowy jitter wyjścia 139 264 kbit/s dla zakresu pomiarowego od $f_1 = 200 \text{ Hz}$ do $f_2 = 3500 \text{ kHz}$ nie powinien przekraczać 0.05 UI.

9.5.4 Stany awaryjne oraz działania interwencyjne

9.5.4.1 Stany awaryjne

Sterowanie urządzeń przeznaczonych do tworzenia strumieni 139 264 kbit/s powinno być zdolne do wykrywania następujących niesprawności:

1. Uszkodzenia źródła zasilania.

2. Zaników sygnału na wejściowym portach 34 368 kbit/s. Jeśli dane i zegar dostarczane są na odrębnych wprowadzeniach, sygnalizacja powinna dotyczyć zaniku każdego sygnału.
3. Zaniku odbieranego sygnału 139 264 kbit/s, który musi być wykrywany tylko w przypadku, gdy nie powoduje alarmu utraty synchronizacji ramkowej. Jeśli dane i zegar dostarczane są na odrębnych wprowadzeniach, sygnalizacja powinna dotyczyć zaniku każdego sygnału.
4. Utraty synchronizacji ramkowej.
5. Wskazania alarmu odebranego od współpracującego urządzenia.

9.5.4.2 Działania interwencyjne

Odpowiednio do rodzaju wykrytej niesprawności podejmowane są niezbędne akcje interwencyjne identyczne z przedstawionymi w poprzednim punkcie. Ich zestaw obejmuje:

1. Wskazanie alarmu systemu utrzymania (WASU), informujące lokalne funkcje utrzymania o potrzebie podjęcia akcji naprawczych. Wykrycie sygnału wskazania alarmu (AIS) w ramach sygnału 139 264 kbit/s odbieranego przez demultiplekser powinno powodować blokadę generacji WASU związanych z utratą synchronizacji ramkowej, podczas gdy pozostałe akcje powinny być zgodne z wykazem zawartym w Tab. 10.2.
2. Przekazanie informacji o stanie awaryjnym do jednostki współpracującej, które polega na zmianie stanu bitu 13 Sekcji I z „0” na „1” w ramach wyjściowego sygnału 139 264 kbit/s.
3. Wstawienie sygnału wskazania alarmu (AIS) do szczelin wyjściowych wszystkich 4 sygnałów podrzędnych 34 368 kbit/s demultipleksera.
4. Wstawienie sygnału wskazania alarmu (AIS) do wyjściowego sygnału 139 264 kbit/s multipleksera.
5. Wstawienie sygnału wskazania alarmu (AIS) do szczelin wyjściowych sygnału 139 264 kbit/s odpowiadających błędnemu strumieniowi podrzdnemu 34 368 kbit/s.

Wprowadzanie sygnału AIS do szczelin czasowych właściwego sygnału podrzdnego jest prowadzone równolegle z realizacją dopełniania bitowego, co umożliwi dokonanie poprawnego odczytu po stronie odbiorczej.

Realizacja wymienionych działań powinna uwzględniać następujące okoliczności:

1. Lokalizacja oraz sposób organizacji powiadamiania akustycznego i optycznego o wystąpieniu okoliczności powodujących potrzebę działań zgodnie z pkt. 1 mogą być ustalone indywidualnie, w sposób odzwierciedlający specyfikę lokalną.
2. Stan sygnału wskazania alarmu (AIS) odpowiada ciągłemu nadawaniu na ustalonych pozycjach ramek 34 368 kbit/s i 139 264 kbit/s bitów o wartości logicznej „1”, których wystąpienie powinno być w sposób gwarantowany wykrywane przy stopie błędów mniejszej lub równej 10^{-3} . Równocześnie wykorzystywany algorytm detekcji powinien zapobiegać wystąpieniu fałszywego alarmu dla ramek wypełnionych poza szczeliną synchronizacyjną bitami o wartościach „1”.
3. Przepływność binarna sygnału AIS na wyjściach multipleksera i demultipleksera powinna być zgodna ze specyfikacjami technicznymi właściwych interfejsów

9.5.5 Wymagania czasowe

Wykrycie stanów awaryjnych oraz wdrożenie odpowiednich akcji interwencyjnych, w tym wykrycie stanu AIS powinno być realizowane w czasie nie dłuższym niż 1 ms.

9.6 Multipleksacja sygnałów 8448 kbit/s w strumień 139 264 kbit/s

9.6.1 Szybkość transmisji i struktura ramki

Strumień cyfrowy o nominalnej szybkości transmisji 139 264 kbit/s utrzymywanej z tolerancją ± 15 ppm, powinien być zestawiany z czterech podrzędnych sygnałów 34 368 kbit/s, z których każdy stanowi

kombinację sygnałów 8448 kbit/s. Struktura ramki transmisyjnej powinna być zgodna z zestawieniem zawartym w Tab. 10.2.

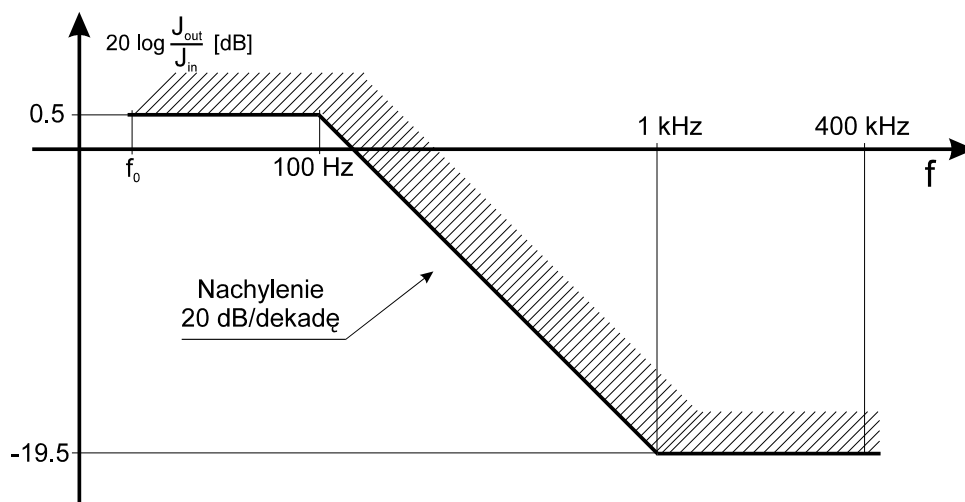
9.6.2 Interfejsy cyfrowe

Parametry techniczne cyfrowych interfejsów sygnałów 8448 kbit/s i 139 264 kbit/s powinny być zgodne z zaleceniem G.703.

9.6.3 Jitter

9.6.3.1 Charakterystyki przeniku jittera

Charakterystyka przeniku dotyczy sygnału 8448 kbit/s modulowanego jitterem sinusoidalnym. Jej kształt dla sygnału testowego 1000 (binarnie) powinien być zgodny z przebiegiem przedstawionym na rys.10.3.



Rys.10.3. Dopuszczalne przeniki jittera

Uwaga

1. Częstotliwość f_0 powinna być możliwie niska np. 10 Hz, zaś jej wartość powinna wynikać z ograniczeń technicznych sprzętu pomiarowego.
2. W celu uzyskania wyników obciążonych możliwie małym błędem zalecane jest stosowanie selektywnej techniki pomiarowej przy szerokości pasma dostosowanej do częstotliwości aktualnie badanego punktu pomiarowego, lecz w żadnym przypadku nie większej niż 40 Hz.
3. Możliwość tolerowania przeników większych niż -19.5 dB w zakresie 1 - 400 kHz jest przedmiotem studiów.

9.6.3.2 Jitter na wyjściach sygnałów podrzędnych

Międzyszczytowa wartość jittera na wyjściu sygnałów podrzędnych obserwowana w paśmie do 400 kHz przy braku jittera wejściowego nie powinna przekraczać 0.35 UI.

Rezultatem pomiaru dokonywanego przyrządem z filtrem pasmowym 3 - 400 kHz ze spadkiem charakterystyki przenoszenia 20 dB/dekadę powinien być międzyszczytowy jitter nie przekraczający w czasie 10 s wartość 0.05 UI z prawdopodobieństwem 0.999.

Uwaga

Dla interfejsów spełniających wymagania narodowej opcji Q opisanej w zaleceniu G.703 dolna częstotliwość filtra pasmowego powinna wynosić 80 kHz.

9.6.3.3 Jitter na wyjściu sygnału grupowego

W przypadku, gdy sygnał nadawany jest z zegarem uzyskiwanym z wewnętrznego źródła, międzyszczytowy jitter wyjścia 139 264 kbit/s dla zakresu pomiarowego od $f_1 = 100 \text{ Hz}$ do $f_4 = 3500 \text{ kHz}$ nie powinien przekraczać 0.05 UI.

9.6.4 Stany awaryjne oraz działania interwencyjne

9.6.4.1 Stany awaryjne

Sterowanie urządzeń przeznaczonych do tworzenia strumieni 139 264 kbit/s powinno być zdolne do wykrywania następujących niesprawności:

1. Uszkodzenia źródła zasilania.
2. Zaników sygnału na wejściowym portach 8448 kbit/s. Jeśli dane i zegar dostarczane są na odrębnych wprowadzeniach, sygnalizacja powinna dotyczyć zaniku każdego sygnału.
3. Zaniku odbieranego sygnału 139 264 kbit/s, który musi być wykrywany tylko w przypadku, gdy nie powoduje alarmu utraty synchronizacji ramkowej. Jeśli dane i zegar dostarczane są na odrębnych wprowadzeniach, sygnalizacja powinna dotyczyć zaniku każdego sygnału.
4. Utraty synchronizacji ramkowej sygnału 139 264 kbit/s na wejściu demultipleksera.
5. Utraty synchronizacji ramkowej sygnału 34 368 kbit/s w demultipleksersze.
6. Wskazania alarmu odebranego przez demultipleksers od współpracującego urządzenia 139 264 kbit/s.
7. Wskazania alarmu odebranego w demultipleksersze od współpracującego urządzenia 34 368 kbit/s.

9.6.4.2 Działania interwencyjne

Odpowiednio do rodzaju wykrytej niesprawności podejmowane są niezbędne akcje interwencyjne identyczne z przedstawionymi w poprzednim punkcie. Ich zestaw obejmuje:

1. Wskazanie alarmu systemu utrzymania (WASU), informujące lokalne funkcje utrzymania o potrzebie podjęcia akcji naprawczych. Wykrycie sygnału wskazania alarmu (AIS) w ramach sygnałów 139 264 kbit/s lub 34 368 kbit/s odbieranych przez demultipleksers powinno powodować blokadę generacji WASU związanych z utratą synchronizacji ramkowej, podczas gdy pozostałe akcje powinny być zgodne z wykazem zawartym w Tab.10.3.
2. Przekazanie informacji o stanie awaryjnym do jednostki współpracującej, które polega na zmianie stanu bitu 13 Sekcji I z „0” na „1” w ramach wyjściowego sygnału 139 264 kbit/s.
3. Przekazanie informacji o stanie awaryjnym do jednostki współpracującej, które polega na zmianie stanu bitu 11 Sekcji I z „0” na „1” w ramach wyjściowego sygnału 34 368 kbit/s.
4. Wstawienie sygnału wskazania alarmu (AIS) do szczelin wyjściowych wszystkich 16 sygnałów podrzędnych 8448 kbit/s demultipleksera.
5. Wstawienie sygnału wskazania alarmu (AIS) do szczelin wyjściowych właściwych 4 sygnałów podrzędnych 8448 kbit/s demultipleksera.
6. Wstawienie sygnału wskazania alarmu (AIS) do wyjściowego sygnału 139 264 kbit/s multipleksera.
7. Wstawienie sygnału wskazania alarmu (AIS) do szczelin wyjściowych sygnału 139 264 kbit/s odpowiadających błędnemu strumieniowi podrzędnemu 8448 kbit/s.

Wprowadzanie sygnału AIS do szczelin czasowych właściwego sygnału podrzędnego jest prowadzone równoległe z realizacją dopełniania bitowego, co umożliwia dokonanie poprawnego odczytu po stronie odbiorczej.

Realizacja wymienionych działań powinna uwzględniać następujące okoliczności:

1. Lokalizacja oraz sposób organizacji powiadamiania akustycznego i optycznego o wystąpieniu okoliczności powodujących potrzebę działań zgodnie z pkt. 1 mogą być ustalane indywidualnie, w sposób odzwierciedlający specyfikę lokalną.
2. Stan sygnału wskazania alarmu (AIS) odpowiada ciągłemu nadawaniu na ustalonych pozycjach ramek 8448 kbit/s, 34 368 kbit/s i 139 264 kbit/s bitów o wartości logicznej „1”, których wystąpienie powinno być w sposób gwarantowany wykrywane przy stopie błędów

mniejszej lub równej 10^{-3} . Równocześnie wykorzystywany algorytm detekcji powinien zapobiegać wystąpieniu fałszywego alarmu dla ramek wypełnionych poza szczeliną synchronizacyjną bitami o wartościach „1”.

3. Przepływność binarna sygnału AIS na wyjściach multipleksera i demultipleksera powinna być zgodna ze specyfikacjami technicznymi właściwych interfejsów

9.6.5 Wymagania czasowe

Wykrycie stanów awaryjnych oraz wdrożenie odpowiednich akcji interwencyjnych, w tym wykrycie stanu AIS powinno być realizowane w czasie nie dłuższym niż 1 ms.

Tablica 10.3. Stany awaryjne i akcje interwencyjne systemu 16 x 8448 kbit/s

Element wyposażenia	Rodzaj niesprawności	Podejmowane akcje						
		Wskazanie alarmu systemu utrzymania	Przekazanie alarmu do współpracującej jednostki 139 264 kbit/s	Przekazanie alarmu do współpracującej jednostki 34 368 kbit/s	Wprowadzenie AIS			
					Do 16 wyjściowych sygnałów podrzędnych 8448 kbit/s demultipleksera	Do 4 wyjściowych sygnałów podrzędnych 8448 kbit/s demultipleksera	Do sygnału zbiorczego 139 264 kbit/s	Do wybranych szczelin sygnału zbiorczego
Multiplekser i demultiplekser	Niesprawność źródła zasilania	Tak			Tak jeśli wykonalne		Tak jeśli wykonalne	
Tylko multiplekser	Zanik sygnału 8448 kbit/s	Tak						Tak
Tylko demultiplekser	Zanik wejściowego sygnału 139 264 kbit/s	Tak	Tak		Tak			
	Utrata synchronizacji ramki 139 264 kbit/s	Tak	Tak		Tak			
	Odbiór alarmu od współpracującego elementu 139 264 kbit/s							
	Utrata synchronizacji ramki 34 368 kbit/s	Tak		Tak		Tak		
	Odbiór alarmu od współpracującego elementu 34 368 kbit/s							

10. Transmisja sygnałów SDH w sieciach PDH

10.1 Informacje wstępne

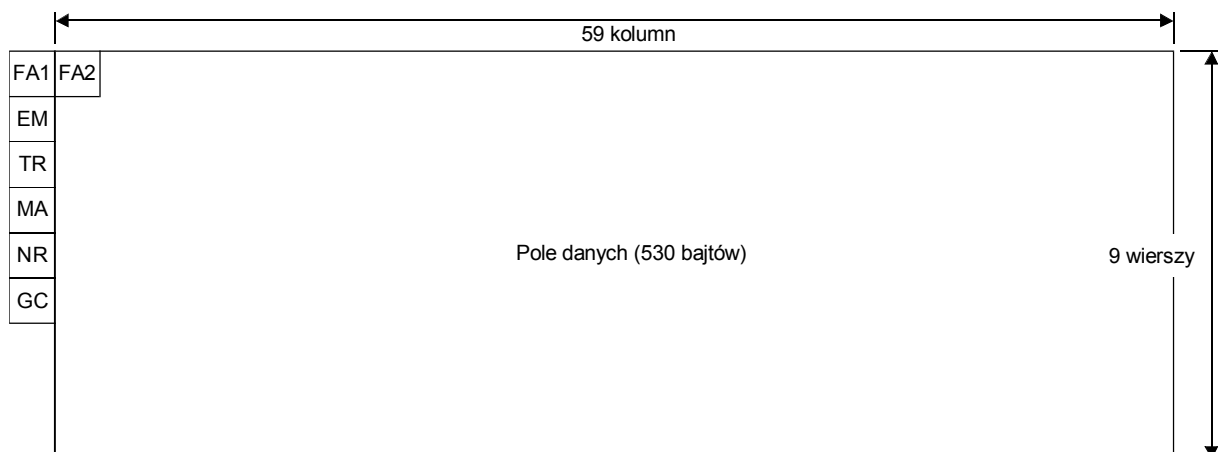
Techniki wykorzystywane do przesyłania elementów SDH w sieci PDH stanowią przedmiot zapisów zawartych w zaleceniu G.832, które przedstawia struktury ramek transmisyjnych oraz konfiguracje urządzeń prowadzących multipleksację do przepływności wyspecyfikowanych w zaleceniu G.702. Pod nazwą „element SDH” rozumie się przy tym dowolny kontener wirtualny (VC) wraz z przypisanymi mu wskaźnikami. Dodatkowo rekomendacja G.832 przedstawia schematy właściwe transferowi w łączach PDH innych sygnałów, w tym strumieni komórek generowanych przez terminale ATM.

Dane przedstawione na wszystkich schematach poglądowych są transmitowane kolejno z lewa na prawo i od góry ku dołowi, natomiast przekaz kolejnych bajtów rozpoczyna się od bitów najbardziej znaczących (oznaczonych numerem 1), które znajdują się zawsze po lewej stronie rysunku.

10.2 Struktury ramek

10.2.1 Ramka sygnału 34 368 kbit/s

Zgodnie ze schematem przedstawionym na rys. 11.1, podstawowa ramka sygnału 34 368 kbit/s obejmuje siedem bajtów nagłówka oraz 530 bajtów pole danych użytkowych. Czas transmisji ramki wynosi w każdym przypadku 125 μ s.



Rys.11.1. Struktura ramki 34 368 kbit/s

Wartości oraz przeznaczenie bajtów nagłówka ramki ilustruje schemat przedstawiony na rys. 11.2.

FA1	1	1	1	1	0	1	1	0	0	0	1	0	1	0	0	0	FA2
EM	BIP-8																
TR	Adres ścieżki																
MA	FERF	FEBE	Rodzaj danych				Przeznaczenie danych		WS								
NR	NR																
GC	GC																

Rys.11.2. Struktura nagłówka

Poszczególne elementy składowe nagłówka posiadają następujące przeznaczenie:

- FA1/FA2 - wzorzec synchronizacji ramki identyczny ze strukturą pola A1/A2 zdefiniowaną w zaleceniu G.807.
- EM - pole monitorowania błędów zgodnie z 8 bitową parzystością przeplotową BIP-8, której wartość jest wyznaczana na podstawie wszystkich bitów (w tym również nagłówka) poprzedniej ramki i wpisywana do pola EM ramki aktualnej.
- TR - adres ścieżki zawierający transmitowany powtarzalnie adres punktu dostępu do ścieżki transmisyjnej (*Trail Access Point Identifier - TAPI*), na podstawie którego terminal odbiorczy weryfikuje utrzymywanie połączenia z właściwym nadajnikiem systemowym. TAPI stanowi 16 bajtowa wartość wyznaczana zgodnie z zaleceniem E.164, którego zapisy wymagają aby pierwszy bajt stanowiła wartość kodowa CRC-7 wyznaczonej dla poprzedniej ramki identyfikacyjnej. Pozostałe 15 bajtów przynosi kody ASCII zgodnie z typowym formatem adresu sieciowego. Struktura 16 bajtowej ramki identyfikacyjnej jest zgodna z poniższym schematem.

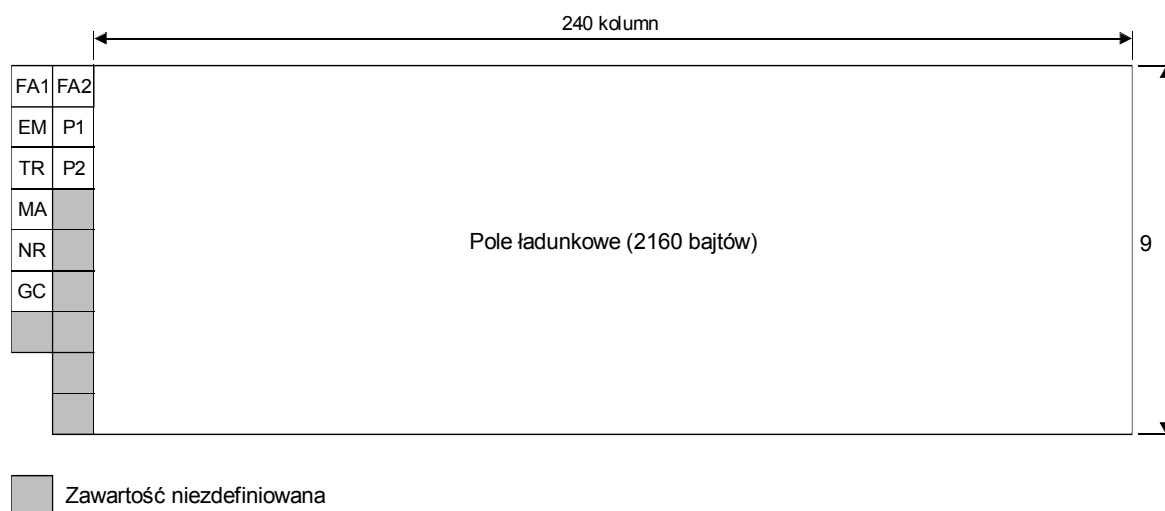
1	C ₁	C	C	C	C	C	C ₇	Wskaźnik startowy
0	X	X	X	X	X	X	X	Bajt 2
.	
.	
.	
0	X	X	X	X	X	X	X	Bajt 16
	X	X	X	X	X	X	X	Znaki ASCII (numer E.164)
	C ₁	C	C	C	C	C	C ₇	Kod CRC-7 poprzedniej ramki

- MA - Bajt adaptacji i utrzymania obejmujący kolejno:
 - bit 1 - FERF Far End Receive Failure
 - bit 2 - FEBE Far End Block Error - pole ustawiane w stan „1” i przesyłane zwrotnie do oddalonego terminala ścieżki jeśli w polu BIP-8 wystąpiły błędy. W pozostałych przypadkach wartość FEBE powinna być równa „0”.
 - bity 3-5 - rodzaj danych w polu transportowym: 000 - ścieżka nie wykorzystana, 001 - wykorzystana, typ danych nieznan, 010 - komórki ATM, 011 - SDH TU-12s.
 - bity 6-7 - zależnie od zawartości (wskaźnik multiramki jednostki podrzędnej TU).
 - bit 8 - typ zegara. Ustawiany w stan „0”, gdy synchronizację realizuje pierwotne źródło odniesienia (PRC), zaś „1” wskazuje inny typ przebiegu zegarowego.

- NR - pole do użytku operatora, który może je przeznaczyć do realizacji zadań utrzymaniowych, uwzględniając, że zasoby sieciowe nie gwarantują przezroczystości utworzonego w ten sposób kanału transmisyjnego pomiędzy terminalami ścieżki. W przypadkach, gdy bajt NR jest modyfikowany w punktach pośredniczących, konieczne jest odpowiednie dostosowanie zawartości pola EM. Dla celów utrzymania połączeń tandemowych z pola NR wydziela się bity 1-4, które przekazują ilość wykrytych błędów transmisyjnych, natomiast kanał komunikacyjny stanowi pozostała część bajtu.
- GC - kanał komunikacyjny ogólnego przeznaczenia wykorzystywany do celów utrzymaniowych

10.2.2 Ramka sygnału 139 264 kbit/s

Zgodnie ze schematem przedstawionym na rys. 11.3, podstawowa ramka sygnału 139 264 kbit/s obejmuje 16 bajtów nagłówka oraz 2160 bajtów pole danych użytkowych. Czas transmisji ramki wynosi 125 μ s.



Rys. 11.3. Struktura ramki sygnału 139 264 kbit/s

Wartości oraz przeznaczenie bajtów nagłówka ramki ilustruje schemat przedstawiony na rys. 11.4.

FA1	1	1	1	1	0	1	1	0	0	0	1	0	1	0	0	FA2
EM	BIP-8								P1							P1
TR	Adres ścieżki								P2							P2
MA	FERF	FEBE	Rodzaj danych		Przeznaczenie danych		WS									
NR	NR															
GC	GC															

Rys. 11.4. Struktura nagłówka sygnału 139 264 kbit/s

Poszczególne elementy składowe nagłówka posiadają następujące przeznaczenie:

- FA1/FA2 - wzorzec synchronizacji ramki identyczny ze strukturą pola A1/A2 zdefiniowaną w zaleceniu G.807.
- EM - pole monitorowania błędów zgodnie z 8 bitową parzystością przeplotową BIP-8, której wartość jest wyznaczana na podstawie wszystkich bitów (w tym również nagłówka) poprzedniej ramki i wpisywana do pola EM ramki aktualnej.
- TR - adres ścieżki zawierający transmitowany powtarzalnie adres punktu dostępu do ścieżki transmisyjnej (*Trail Access Point Identifier - TAPI*), na podstawie którego terminal odbiorczy weryfikuje utrzymywanie połączenia z właściwym nadajnikiem systemowym. TAPI stanowi 16 bajtowa wartość wyznaczana zgodnie z zaleceniem E.164, którego zapisy wymagają aby pierwszy bajt stanowiła wartość kodowa CRC-7 wyznaczonej dla poprzedniej ramki identyfikacyjnej. Pozostałe 15 bajtów przenosi kody ASCII zgodnie z typowym formatem adresu sieciowego. Struktura 16 bajtowej ramki identyfikacyjnej jest zgodna z poniższym schematem.

1	C ₁	C	C	C	C	C	C ₇	Wskaźnik startowy
0	X	X	X	X	X	X	X	Bajt 2
.	
.	
.	
0	X	X	X	X	X	X	X	Bajt 16

X X X X X X X Znaki ASCII (numer E.164)

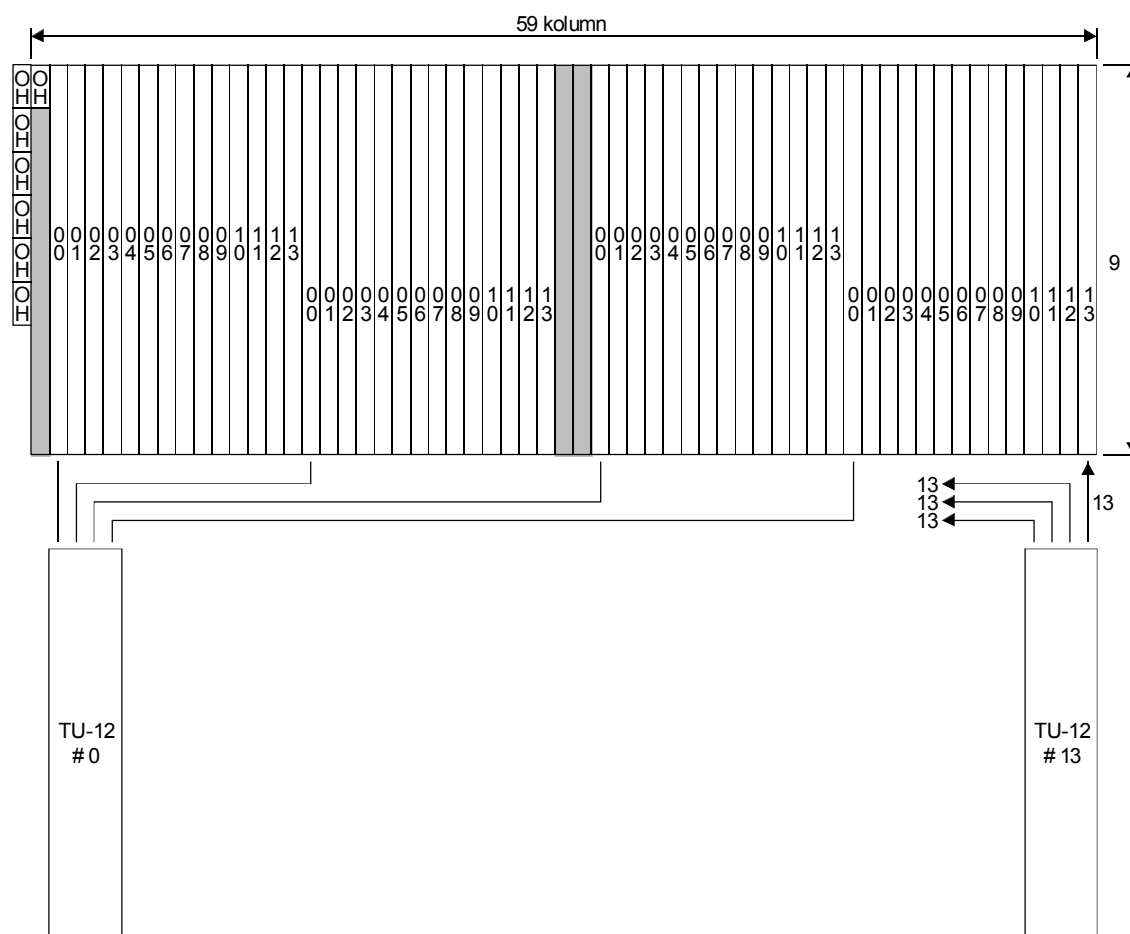
C₁ C C C C C C₇ Kod CRC-7 poprzedniej ramki

- MA - Bajt adaptacji i utrzymania obejmujący kolejno:
 - bit 1 - FERF Far End Receive Failure
 - bit 2 - FEBE Far End Block Error - pole ustawiane w stan „1” i przesyłane zwrotnie do oddalonego terminala ścieżki jeśli w polu BIP-8 wystąpiły błędy. W pozostałych przypadkach wartość FEBE powinna być równa „0”.
 - bity 3-5 - rodzaj danych w polu transportowym: 000 - ścieżka nie wykorzystana, 001 - wykorzystana, typ danych nieznan, 010 - komórki ATM, 011 - mapowanie elementów SDH (typ I - 20 x TUG-2), 100 - mapowanie elementów SDH (typ II - 2 x TUG-3 i 5 x TUG-2).
 - bity 6-7 - zależnie od zawartości (wskaźnik multiramki jednostki podrzędnej TU).
 - bit 8 - typ zegara. Ustawiany w stan „0”, gdy synchronizację realizuje pierwotne źródło odniesienia (PRC), zaś „1” wskazuje inny typ przebiegu zegarowego.
- NR - pole do użytku operatora, który może je przeznaczyć do realizacji zadań utrzymaniowych, uwzględniając, że zasoby sieciowe nie gwarantują przezroczystości utworzonego w ten sposób kanału transmisyjnego pomiędzy terminalami ścieżki. W przypadkach, gdy bajt NR jest modyfikowany w punktach pośredniczących, konieczne jest odpowiednie dostosowanie zawartości pola EM. Dla celów utrzymania połączeń tandemowych z pola NR wydziela się bity 1-4, które przekazują ilość wykrytych błędów transmisyjnych, natomiast kanał komunikacyjny stanowi pozostała część bajtu.
- GC - kanał komunikacyjny ogólnego przeznaczenia wykorzystywany do celów utrzymaniowych
- P1/P2 - automatyczne przełączanie ścieżki w stanach awaryjnych.

10.3 Struktury multipleksacji

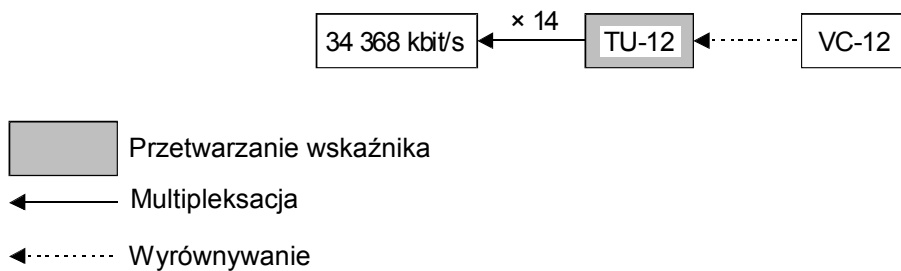
10.3.1 Wstawianie elementów SDH do ramki 34 368 kbit/s

Zgodnie ze schematem przedstawionym na rys. 11.5, w polu transportowym ramki 34 368 kbit/s przenoszone jest 14 podrzędnych jednostek TU-12s.



Rys. 11.5. Rozmieszczenie jednostek TU-12s w ramce sygnału 34 368 kbit/s

Kolumny 1 (z wyjątkiem pierwszego bajtu) oraz 30 i 31 stanowią wypełnienie uzupełniające, natomiast jednostki TU-12s wypełniają pozostałą część pola ładunkowego z przeplotem kolumnowym. Ich rozmieszczenie zachowuje przy tym stałe relacje fazowe w stosunku do struktury ramkowej sygnału transportowego. Wskaźniki jednostek TU rozmieszczone są bajtami w pierwszym wierszu kolumn od 2 do 15. Szczegółową organizację elementów TU-12 zawierają zalecenia G.708 i G.709, natomiast wykorzystywaną strukturę multipleksacji przedstawia rys. 11.6.



Rys. 11.6. Struktura multipleksacji jednostek TU-12 w ramce 34 368 kbit/s

Sposób wykorzystania bitów 6 i 7 bajtu MA, stanowiących wskaźnik multiramki jednostki podrzędnej TU-12s zawiera poniższe zestawienie:

Bit 6	Bit 7	Zawartość wskaźnika TU-PTR w następującej ramce
0	0	V1
0	1	V2
1	0	V3
1	1	V4

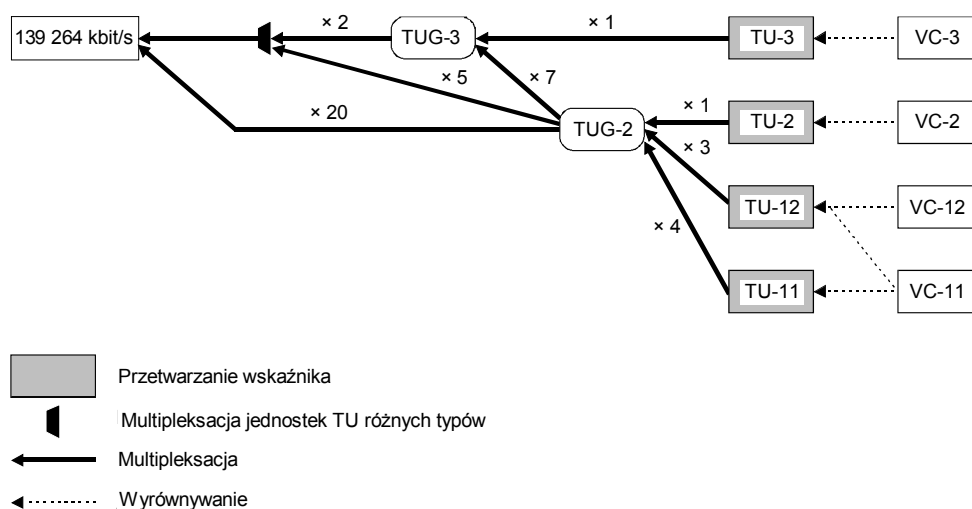
Multiramka TU (500 μ s)

10.3.2 Wstawianie elementów SDH do ramki 139 264 kbit/s

Zawierające 2160 bajtów pole ładunkowe sygnału 139 264 kbit/s może być wykorzystane do realizacji następujących opcji transportowych:

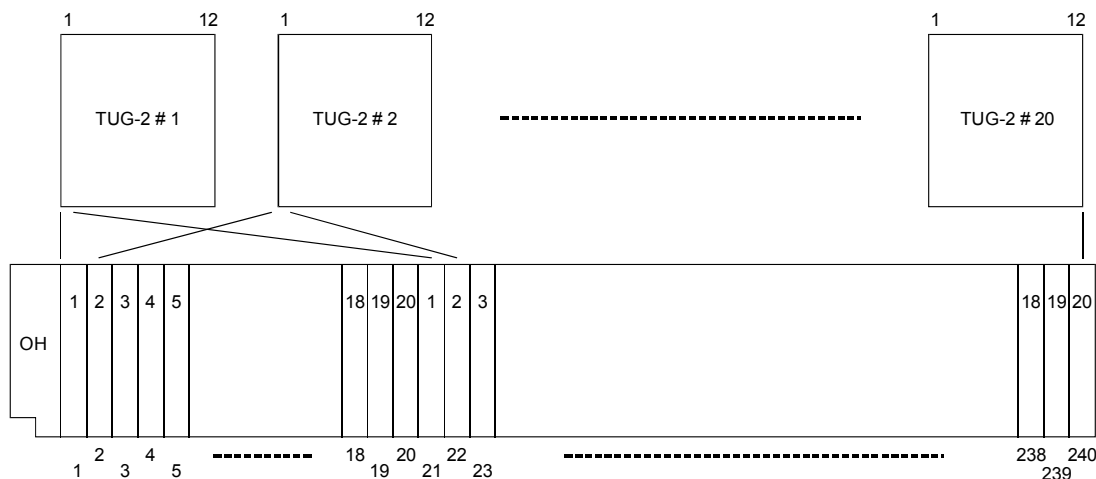
- opcja I – 20 x TUG-2;
- opcja II – 2 x TUG-3 + 5 x TUG-2.

Szczegółową organizację elementów TUG-2 i TUG-3 zawierają zalecenia G.708 i G.709, natomiast wykorzystywaną w tym przypadku strukturę multipleksacji przedstawia rys. 11.7.



Rys.11.7. Struktura multipleksacji jednostek TUG w ramce 139 264 kbit/s

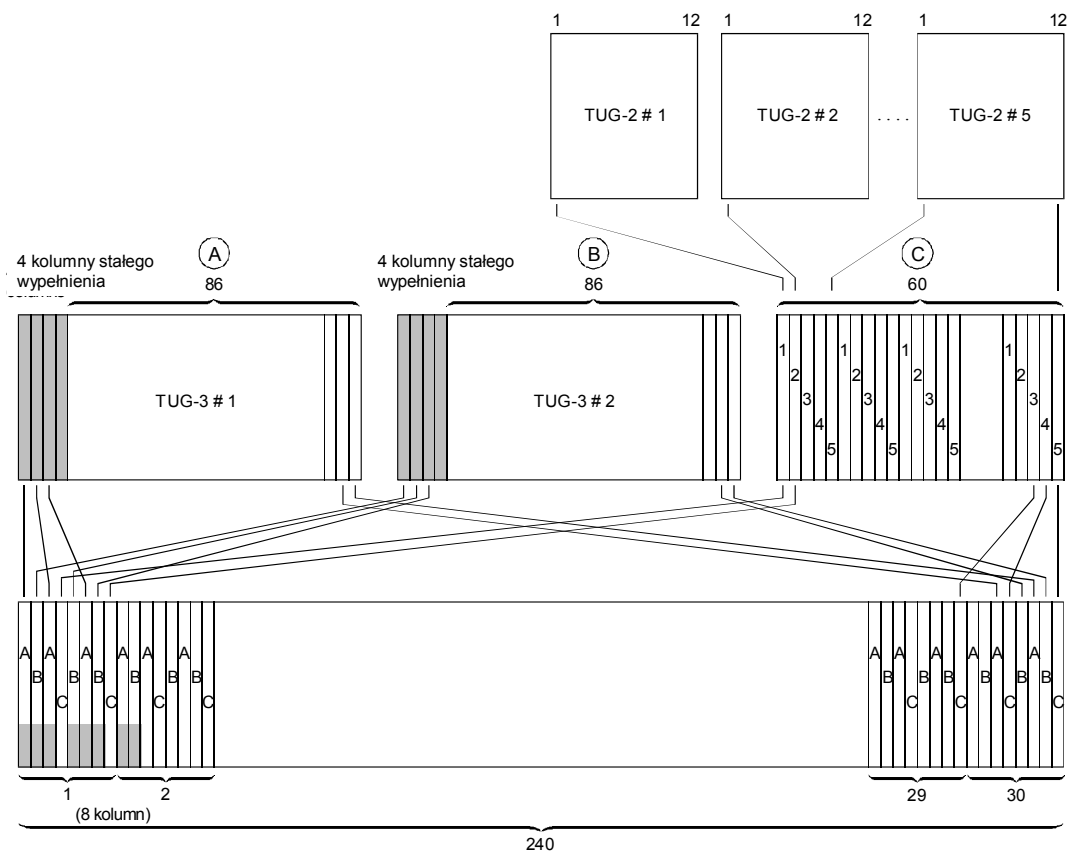
Rozmieszczenie 20 jednostek TUG-2s zmultiplexowanych w 9 wierszach 240 kolumnowego pola ładunkowego ilustruje schemat przedstawiony na rys. 11.8.



Rys. 11.8. Multipleksacja jednostek TUG2 w polu ładunkowym sygnału 139 264 kbit/s

Jednostki TUG-2s wypełniają pole ładunkowe z przeplotem bajtowym, zaś ich rozmieszczenie zachowuje stałe relacje fazowe w stosunku do nagłówka ramki sygnału transportowego.

Podobnie, rozmieszczenie 2 jednostek TUG-3 i 5 TUG-2 zmultiplexowanych w 9 wierszach 240 kolumnowego pola ładunkowego ilustruje schemat przedstawiony na rys. 11.9.



Rys. 11.9. Multipleksacja jednostek TUG-3 i TUG-2 w polu ładunkowym sygnału 139 264 kbit/s

W pierwszym kroku przetwarzania, na początek każdej jednostki TUG-3 zostają wprowadzone 4 kolumny wypełniające, co prowadzi do uzyskania dwóch 90 kolumnowych struktur oznaczonych na schemacie jako ("A" i "B"). Równocześnie 5 jednostek TUG-2s zostaje połączonych z jednobajtowym przeplotem w 60 kolumnowy i 9 wierszowy blok danych ("C").

Następnie, uzyskane w ten sposób 3 pośrednie zestawy danych użytkowych zostają poddane operacji przeplotu bajtowego, realizowanego zgodnie ze schematem:

$$[ABACBABC]_1 \quad [ABACBABC]_2 \quad \dots\dots\dots [ABACBABC]_{30}$$

Jeśli jest to wymagane, otrzymany blok może zostać następnie zdemultipleksowany do pojedynczej jednostki TUG-3 i 12 (7 + 5) jednostek TUG-2s, albo samych TUG-2s. W ostatnim z wymienionych przypadków w ramce sygnału podstawowego może być umieszczone maksymalnie 19 jednostek TUG-2s.

W rozważanym przypadku, sposób wykorzystania bitów 6 i 7 bajtu MA, stanowiących wskaźnik multiramki jednostek podrzędnych jest identyczny, jak przy wykorzystaniu sygnału 34 368 kbit/s.